

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-282164

(43)Date of publication of application : 12.10.2001

(51)Int.Cl. G09G 3/20

G02F 1/133

G09G 3/36

H02M 3/07

H02M 3/155

H04B 7/26

(21)Application number : 2000-099890 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.03.2000 (72)Inventor : TSUTSUI YUSUKE

KITAGAWA MAKOTO

KOBAYASHI MITSUGI

UEHARA HISAO

(54) DRIVING DEVICE FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the power source system of a display device or the like to cope with a power-saving mode with simple constitution while enabling the display device to perform display.

SOLUTION: The power source circuit 300 of the display device such as a liquid crystal display device outputs a boosted power source voltage VDD2 at the time of normal operation and generates a non-boosted power source voltage VDD2 lower than that

at the time of the normal operation by controlling a switch for changing over the output in the circuit 300 at the time of a power saving mode and supplies the output voltage to the analog system circuits (a D/A conversion circuit 12 and an amplifier 14) of a driving circuit 100 to attain the reducing of power consumption in the analog system circuits. Moreover, the circuit 300 can be changed over to a mode generating the lower power source voltage without performing the off control of the power source at the time of the power saving mode and, also, to a mode performing the off control of the power source by controlling the switch for changing over the output in the circuit 300 and the supplying of clocks for the power source.

LEGAL STATUS [Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The digital digital disposal circuit which processes a digital signal in the driving gear for indicating equipments, The digital-to-analog circuit which changes a digital signal into an analog signal, The drive circuit which generates the signal for having the analog signal processing circuit which processes an analog signal, and making it display on a display, It has the power circuit which generates the supply voltage for said drive circuit. Said power circuit The driving gear for displays characterized by making lower than the time of normal operation supply voltage supplied to said digital-to-analog circuit and said analog signal processing circuit if predetermined power save is ordered.

[Claim 2] It is the driving gear for displays characterized by having two or more partial pressure resistance series connection of said digital-to-analog circuit was carried out [resistance] to the power source from said power circuit in the driving gear according to claim 1, pressuring said supply voltage partially to two or more steps by this partial pressure resistance, choosing the partial pressure according to digital data, and outputting an analog signal.

[Claim 3] In a driving gear according to claim 1 or 2 said power circuit The boost portion which carries out the pressure up of the input voltage, and the feedback section which controls said boost portion to detect the supply voltage in a power-outlet edge as a resistance partial pressure, and to maintain said supply voltage for this as compared with reference voltage, The selector switch which chooses two or more resistance from which it connects with said power-outlet edge, respectively, and resistance differs mutually in order to detect said supply voltage further, a preparation and, and the resistance connected to said feedback section among resistance of said plurality, The driving gear for displays characterized by ****(ing), changing the input partial pressure value to said feedback section of supply voltage according to the resistance of the resistance which said selector switch chooses, and changing the output supply voltage to said digital-to-analog circuit and said analog signal processing circuit.

[Claim 4] It is the driving gear for displays characterized by making small resistance of resistance choose with said selector switch, and raising the input partial pressure value to said feedback section in a driving gear according to claim 3 when the fall of output supply voltage is required.

[Claim 5] In a driving gear according to claim 1 or 2 said power circuit The pressure-up power-outlet switch which controls the flow between the boost portion which carries out the pressure up of the input voltage, and said boost portion and power-outlet edge, The non-pressure-up power-outlet switch which bypasses a power-source input edge and said power-outlet edge, The driving gear for displays characterized by changing and controlling a preparation and said two kinds of output switches, and outputting either pressure-up supply voltage or non-pressure-up

supply voltage to said digital-to-analog circuit and said analog signal processing circuit.

[Claim 6] In a driving gear according to claim 1 or 2 said power circuit The boost portion which is equipped with two or more capacitor and two or more switches for capacitors, and carries out the pressure up of the input voltage by change control of said switch for capacitors, The pressure-up power-outlet switch which controls the flow between said boost portions and power-outlet edges, The non-pressure-up power-outlet switch which bypasses a power-source input edge at said power-outlet edge, The clock for power sources which the preparation and said drive circuit created using the system clock is used for change control of said two or more switches for capacitors. Change control of said output switch, The driving gear for displays characterized by outputting either pressure-up supply voltage or non-pressure-up supply voltage, or suspending the output of said supply voltage to said digital-to-analog circuit and said analog signal processing circuit according to said clock for power sources.

[Claim 7] In a driving gear according to claim 1 or 2 said power circuit The boost portion which is equipped with two or more capacitor and two or more switches for capacitors, and carries out the pressure up of the input voltage by change control of said switch for capacitors, The pressure-up power-outlet switch which controls the flow between said boost portions and power-outlet edges, The non-pressure-up power-outlet switch which bypasses a power-source input edge at said power-outlet edge, The clock from a preparation and a predetermined oscillator circuit is used for change control of said two or more switches for capacitors. Change control of said output switch, The driving gear for displays characterized by outputting either pressure-up supply voltage or non-pressure-up supply voltage, or suspending the output of said supply voltage to said digital-to-analog circuit and said analog signal processing circuit according to the clock from said oscillator circuit.

[Claim 8] It is the driving gear for displays which said drive circuit judges pressure-up power-source generating mode, non-pressure-up power-source generating mode, and power-source stop mode based on predetermined power save control instruction in a driving gear given in either claim 6 or claim 7, and is characterized by controlling closing motion of supply and supply interruption of said power-source clock or supply and supply interruption of the clock from said oscillator circuit, and said output switch of said power circuit according to a result.

[Claim 9] When it is a drive circuit for the indicating equipments which generate the signal for having the digital digital disposal circuit which processes a digital signal, the digital-to-analog circuit which changes a digital signal into an analog signal, and the analog signal processing circuit which processes an analog signal, and making it display on a display and predetermined power save is ordered, said digital-to-analog circuit and said analog signal processing circuit are the drive circuit for indicating

equipments characterized by to operate with the supply voltage which fell rather than the time of normal operation.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention corresponds to an indicating equipment, especially power save mode, and relates to the driving gear for a low power indicating equipment.

[0002]

[Description of the Prior Art] Since the flat-surface displays represented by a liquid crystal display, the organic electroluminescence display, etc. are a light weight and a low power in a thin shape, they are excellent as a display of pocket devices, such as a cellular phone, and are used for many pocket devices.

[0003] Drawing 10 shows the configuration of the liquid crystal display used as a display of a cellular phone. The liquid crystal display is equipped with the liquid crystal display (LCD) panel 200 which liquid crystal was enclosed and was constituted between the substrates of a pair, the drive circuit 101 which drives this LCD panel 200, and the power circuit 350 which supplies supply voltage required for the drive circuit 101 and the LCD panel 200.

[0004] The drive circuit 101 is equipped with the latch circuit 10 which latches the RGB digital data supplied, the digital analog (D/A) conversion circuit 12 which changes the latched data into analog data, and the amplifier 14 which amplifies the changed analog data and is supplied to the liquid crystal display panel 200 as R, G, and a B analog indicative data. Moreover, the drive circuit 101 is equipped with the CPU interface (I/F) circuit 20 which thinks an instruction to be the timing controller (traveler's check) 22 from CPU which is not illustrated, and outputs the control signal according to an instruction. traveler's check22 has generated the timing signal suitable for a display by the liquid crystal display panel 200 based on timing signals, such as a dot clock DOTCLK, Horizontal Synchronizing signal Hsync, and Vertical

Synchronizing signal Vsync.

[0005] The power circuit 350 has generated two or more supply voltage if needed, consists of CMOS logical circuits suitable for a low-battery drive here, supplies the supply voltage VDD1 of a low battery to the above-mentioned latch circuit 10 which performs digital signal processing, and supplies the supply voltage VDD3 of the high voltage to the supply voltage VDD2 of the high voltage, and the LCD panel 200 further more at the D/A conversion circuit 12 and amplifier 14.

[0006] The power circuit 350 which shows the power circuit 350 which drawing 11 (a) and (b) show the configuration of the conventional power circuit which generates an electrical potential difference VDD2 among two or more above-mentioned electrical potential differences, respectively, and is shown in drawing 11 (a) to a switching regulator mold and drawing 11 (b) is a charge pump mold circuit.

[0007] The power circuit 350 of the switching regulator mold of drawing 11 (a) The coil L1 prepared between I/O at this order and diode D1, 35s of oscillator circuits which oscillate a predetermined pulse signal, By having the boost portion 351 equipped with the transistor Tr36 which receives the pulse signal from 35s of oscillator circuits in the gate, and carrying out on-off control of the transistor Tr36 by the pulse signal from 35s of oscillator circuits In a coil L1 and diode D1, the pressure up of the input voltage VIN is carried out, and the obtained pressure-up supply voltage VDD2 is supplied to the liquid crystal drive circuit 101 as a power source of operation. Moreover, between that outgoing end and gland, a power circuit 350 has the partial pressure resistance R37 and R38, and a comparator 36 compares the partial pressure and reference voltage Vref between these resistance R37 and R38, and it outputs a comparison signal. And it is controlling by controlling the oscillation frequency of 35s of oscillator circuits based on the comparison signal according to the output voltage VDD2 from a comparator 36 so that output voltage VDD2 is stabilized.

[0008] The power circuit 350 of the charge pump mold of drawing 11 (b) is equipped with oscillator-circuit 35c which generates the pulse signal for controlling the change of the switches SW1-SW4 for capacitors which change the supply root of the input voltage to two capacitors C1 and C2 and this capacitor, and these switches SW1-SW4, the AND gate 37, and NAND gate 39.

[0009] Oscillator-circuit 35c generated the pulse signal of duty ratios 1/2, this pulse signal was supplied to switches SW1 and SW2 through the AND gate 37, it was supplied to switches SW3 and SW4 through NAND gate 39, and switches SW1 and SW2 and switches SW3 and SW4 are opened and closed by turns.

[0010] If switches SW3 and SW4 close, input voltage VIN is impressed to the electrode by the side of drawing Nakagami of a capacitor C1, a lower electrode will serve as grand (GND) potential, and a capacitor C1 will be charged. If switches SW3 and SW4 open to the following timing and switches SW1 and SW2 close on the contrary, input voltage VIN was impressed to the bottom electrode in drawing of a

capacitor C1, the pressure up was carried out to the potential whose potential of the top electrode of a capacitor C1 is twice the input voltage VIN, and input voltage twice the output voltage VDD2 of VIN has been obtained from the outgoing end pulled out from between the top electrode of a capacitor C1, and capacitors C2.

[0011] In pocket devices, such as a cellular phone, the demand of power consumption reduction is very strong in a place, and much more fall of power consumption is called for also about the display of a device. Since it corresponds to this demand, at the time of un-operating, the power save mode which performs power consumption reduction of equipments by carrying out off control of the equipment power source is adopted conventionally.

[0012] Such power save mode is supported also in the indicating equipment shown in drawing 10 , and the I/F circuit 20 analyzed the power save control instruction sent out from CPU which is not illustrated, and has generated the power save control signal. A power save control signal is a signal with which level differs for example, in the time of normal operation and power save, the power circuit 350 of drawing 11 is supplied, and any power circuit 350 of drawing 11 (a) and the format of (b) has the configuration which suspends generating of supply voltage VDD2, if a power save control signal is set to the level showing power save. Moreover, although not illustrated, similarly, off control also of the power source VDD3 is carried out, and the current supply to the LCD panel 200 stops it.

[0013] In the power circuit 350 of drawing 11 (a), such power save mode is supported with transistors Tr35, Tr37, and Tr38, resistance R35 and R36, and an inverter 38. In addition, a power save control signal serves as H level here at the time of L level and power save at the time of normal operation.

[0014] The power save control signal of L level is received, 35s of oscillator circuits carries out oscillation actuation, a transistor Tr37 turns them on, and the transistor Tr35 prepared in the I/O path is made to turn on at the time of normal operation. Moreover, off control of the transistor Tr38 connected between the outgoing end of a power circuit 350 and the gland is carried out at this time. Therefore, the electrical potential difference VDD2 obtained by carrying out the pressure up of the input voltage VIN with a boost portion 351 at the time of normal operation is outputted.

[0015] Moreover, if a power save control signal serves as H level at the time of power save, since 35s of oscillator circuits will suspend oscillation actuation, a transistor Tr37 will turn off and off control of the transistor Tr35 will be carried out, the output from a boost portion 351 is severed. Moreover, since a transistor Tr38 turns on, an outgoing end will be connected to a gland and off control of 0V [350] , i.e., the power circuit, is carried out for the output voltage from a power circuit 350.

[0016] On the other hand, in response to the power save control signal which serves as L level at the time of H level and power save at the time of normal operation, the power circuit 350 of drawing 11 (b) will usually generate a pulse signal in a passage, if

this power save control signal is H level. For this reason, switches SW1 and SW2, and SW3 and SW4 change by turns, they are controlled, a charge pump functions, and the output voltage VDD2 higher than input voltage VIN is obtained. However, since oscillator-circuit 35c suspends actuation, the output of the AND gate 37 is fixed to L level and the output of NAND gate 39 is fixed to H level when a power save control signal serves as L level at the time of power save, capacitors C1 and C2 discharge, output voltage declines, and off control of the power circuit 350 is carried out.

[0017] Thus, at the time of power save, by carrying out off control of the supply voltage supplied to the drive circuit 101 and the LCD panel 200 of a display, the power consumption in the drive circuit 101 or the LCD panel 200 is lost, and the power consumption as a display is saved in the conventional power circuit corresponding to power save mode.

[0018]

[Problem(s) to be Solved by the Invention] However, when off control of the power circuit is carried out as mentioned above at the time of power save, in a display, a display becomes impossible. If a cellular phone is mentioned as an example and it will become power save mode at the time of un-talking over the telephone etc., since off control of the display power source is carried out also with display preparations, no time of day, electric-wave conditions, etc. which the clock to build in shows can be displayed.

[0019] In order to give an indication possible also at the time of power save, how to reduce the drive frequency of a display can be considered without turning off the power source for a display. However, in a display, unlike CPU etc., if it has big effect not only on the fall of a mere working speed but on display quality and becomes below constant frequency, a display flicker will occur, and the fall of the drive frequency will cause degradation of remarkable display quality. Therefore, a limitation is in the frequency which can fall to power save by the fall of drive frequency, and then the reduction effectiveness of power consumption is not so high.

[0020] Moreover, since power is consumed when a signal changes from H to H from L and L in the circuit of digital processors, such as a latch circuit, the power consumption can be reduced by reducing drive frequency, for example. However, in the circuit of analog processors, such as a D/A circuit and amplifier, a dependency is low to the drive frequency of the power consumption, and the problem that power-saving is impossible only by reducing drive frequency has it in it.

[0021] Furthermore, for power save, in order to display by drive frequency still lower than the drive frequency which can usually fall, the LCD drive approach will need the design change of the component configuration in the LCD panel, modification of a liquid crystal ingredient, to be changed, etc., it will turn into a large-scale design change, and will cause the cost rise of equipment etc.

[0022] In order to solve the above-mentioned technical problem, it is possible to

reduce power consumption efficiently by the easier approach corresponding to power save mode, and this invention aims at realizing the display which can be displayed also at the time of power save.

[0023]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention has the following descriptions.

[0024] first, in the driving gear for displays concerning this invention The digital digital disposal circuit which processes a digital signal, and the digital-to-analog circuit which changes a digital signal into an analog signal, The drive circuit which generates the signal for having the analog signal processing circuit which processes an analog signal, and making it display on a display, It has the power circuit which generates the supply voltage for said drive circuit, and is characterized by making lower than the time of normal operation supply voltage which will supply said power circuit to said digital-to-analog circuit and said analog signal processing circuit if predetermined power save is ordered.

[0025] Other descriptions of this invention are that have two or more partial pressure resistance by which series connection was carried out to the power source from said power circuit, and said digital-to-analog circuit pressures said supply voltage partially to two or more steps by this partial pressure resistance, chooses the partial pressure according to digital data, and outputs an analog signal in the above-mentioned driving gear.

[0026] Moreover, it is a drive circuit for the indicating equipments which generate the signal for having the digital digital disposal circuit which processes a digital signal, the digital-to-analog circuit which changes a digital signal into an analog signal, and the analog signal processing circuit which processes an analog signal in this invention, and making it display on a display, and if predetermined power save is ordered, said digital-to-analog circuit and said analog signal processing circuit will be characterized by to operate with the supply voltage which fell rather than the time of normal operation.

[0027] Thus, since the supply voltage in the digital-to-analog circuit and analog signal processing circuit in a drive circuit is reduced when power save orders, power consumption can be reduced in these circuits that process an analog signal. Furthermore, operating, even if supply voltage falls is possible, and even if it is the circuit which processes these analog signals in this invention at the power save time, it can generate the signal for making it display on a display, and it can be displayed.

[0028] The boost portion with which, as for other descriptions of this invention, said power circuit carries out the pressure up of the input voltage in the above-mentioned driving gear, The feedback section which controls said boost portion to detect the supply voltage in a power-outlet edge as a resistance partial pressure, and to maintain said supply voltage for this as compared with reference voltage, The selector switch

which chooses two or more resistance from which it connects with said power-outlet edge, respectively, and resistance differs mutually in order to detect said supply voltage further, a preparation and, and the resistance connected to said feedback section among resistance of said plurality, It is that ****, the input partial pressure value to said feedback section of supply voltage is changed according to the resistance of the resistance which said selector switch chooses, and the output supply voltage to said digital-to-analog circuit and said analog signal processing circuit is changed.

[0029] In the above-mentioned power circuit, other descriptions of this invention are making small resistance of resistance choose with said selector switch, and raising the input partial pressure value to said feedback section, when the fall of output supply voltage is required.

[0030] Other descriptions of this invention are the above-mentioned power circuit's being equipped with the non-pressure-up power-outlet switch which bypasses the pressure-up power-outlet switch which controls the flow between the boost portion which carries out the pressure up of the input voltage, and said boost portion and power-outlet edge, and a power-source input edge and said power-outlet edge, changing and controlling said two kinds of output switches, and outputting either pressure-up supply voltage or non-pressure-up supply voltage in the driving gear for displays.

[0031] When the power circuit was able to choose and output pressure-up supply voltage and non-pressure-up supply voltage in this way and a power save instruction is issued, although it is lower than the time of normal operation, supply voltage can be supplied by the simple configuration to a digital-to-analog circuit and an analog signal processing circuit. And a digital-to-analog circuit and an analog signal processing circuit can operate with non-pressure-up supply voltage also at the time of power save.

[0032] The boost portion to which a power circuit equips with two or more capacitor and two or more switches for capacitors, and other descriptions of this invention carry out the pressure up of the input voltage by change control of said switch for capacitors in the above-mentioned driving gear, The pressure-up power-outlet switch which controls the flow between said boost portions and power-outlet edges, The non-pressure-up power-outlet switch which bypasses a power-source input edge at said power-outlet edge, The clock for power sources which the preparation and the drive circuit created using the system clock is used for change control of said two or more switches for capacitors. Change control of said output switch, It is outputting either pressure-up supply voltage or non-pressure-up supply voltage, or suspending the output of supply voltage to said digital-to-analog circuit and said analog signal processing circuit, according to said clock for power sources.

[0033] Or a power circuit may use the clock from a predetermined oscillator circuit for

change control of said two or more switches for capacitors, and may output either pressure-up supply voltage or non-pressure-up supply voltage to said digital-to-analog circuit and said analog signal processing circuit according to change control of said output switch and the clock from said oscillator circuit, or may suspend the output of said supply voltage.

[0034] Such a driving gear for displays of this invention can respond to many modes of operation, such as at least three kinds of power-source generating actuation being possible, and corresponding to two or more power save mode besides normal operation, aiming at reduction of power consumption, maintaining an equipment function, or giving top priority to reduction of power consumption. That is, while being able to display at the time of normal operation, when the reduction level of the power consumption demanded, for example is low, an indication is given possible by generating non-pressure-up supply voltage, and it becomes possible to offer the highly efficient equipment corresponding to much power save mode as the power consumption in the circuit which uses this power source as a power source of operation by carrying out off control of the power source is lost, when demand level is high.

[0035] Moreover, in the above-mentioned power circuit, based on predetermined power save control instruction, said integrated circuit can judge pressure-up power-source generating mode, non-pressure-up power-source generating mode, and power-source stop mode, and can control supply and supply interruption of said power-source clock or supply and supply interruption of the clock from said oscillator circuit, and closing motion of said output switch by this invention according to a result.

[0036] Such supply and a halt of a clock are easy to be able to control by the easy configuration based on the control instruction from CPU etc., and to be able to realize with the easy configuration also about closing motion control of a switch, and to deal with two or more modes of operation with a simple configuration.

[0037]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of suitable implementation of this invention is explained using a drawing.

[0038] [Operation gestalt 1] drawing 1 shows the outline configuration of the mold display corresponding to the power save mode concerning the operation gestalt 1. It is flat-surface displays, such as LCD carried in a cellular phone, and it had the display panel (it sets below and is the LCD panel) 200 and the drive circuit 100, and this display is equipped with the power circuit 300 which supplies two or more supply voltage (for example, VDD1, VDD2, VDD3) still more nearly required for these drive circuit 100 and a panel 200.

[0039] The drive circuit 100 is equipped with the I/F circuit 16 and traveler's check18 while it is equipped with the D/A conversion circuit 12 and amplifier 14 applicable to the latch circuit 10 which is a digital digital disposal circuit which processes a digital

signal like above-mentioned drawing 10 , and the circuit which processes an analog signal. The I/F circuit 16 receives the instruction sent out from CPU which is not illustrated, analyzes this, and outputs the control signal according to an instruction. The instruction sent out from CPU is the adjustment instruction of a display position, a contrast adjustment instruction, etc. with a display panel besides power save control instruction, and such control instruction is expressed by the digital control data defined beforehand, and the I/F circuit 16 incorporates digital control data (S-DATA) according to a load signal (S-LOAD) and a CPU clock (S-CLOCK), and generates the control signal according to control data. In addition, the configuration of the I/F circuit 16 and generating actuation of a power save control signal are the same as the operation gestalt 2 (drawing 7 and drawing 8 (a) - (i)) mentioned later, and omit explanation here. Moreover, with this operation gestalt 1, traveler's check18 generates the timing signal suitable for a display by the LCD panel 200 based on timing signals, such as a dot clock DOTCLK, Horizontal Synchronizing signal Hsync, and Vertical Synchronizing signal Vsync, and is outputting this to the LCD panel 200.

[0040] Among the above-mentioned drive circuits 100, to the D/A conversion circuit 12 and amplifier 14, at the time of power save, although it is lower than the time of normal operation, with this operation gestalt, the supply voltage VDD2 to which these circuits can operate is specifically supplied by the processing circuit of an analog system, and the power circuit 300 explained below. Thereby, reduction of the power consumption in these analog system circuit is aimed at, enabling the display by the display in the time of power save.

[0041] (Switching regulator mold power circuit) Drawing 2 shows the circuitry which generates the inside VDD2 of the power circuit 300 concerning this operation gestalt 1. This power circuit 300 is a power circuit of the switching regulator mold corresponding to power save mode, and it generates and supplies the supply voltage VDD2 lower than the supply voltage VDD2 at the time of normal operation to the D/A conversion circuit 12 and amplifier 14, without turning off based on the power save control signal supplied from the I/F circuit 16 also at the time of power save. In addition, the supply voltage VDD2 at the time of power save is set up more than the electrical potential difference more nearly required than the time of normal operation for the above-mentioned D/A conversion circuit 12 and amplifier 14 to operate although it is a low battery.

[0042] A power circuit 300 has a boost portion 301 and the feedback section 302, turns a boost portion 301 on and off like the boost portion 351 of drawing 11 (a) in response to the pulse signal from the coil L1 and diode D1 which were formed between I/O, and 30s of oscillator circuits and 30s of oscillator circuits to the gate, and is equipped with the transistor Tr30 which switches the electrical potential difference between a coil L1 and diode D1.

[0043] Moreover, the feedback section 302 is equipped with the comparator 31 which

compares the partial pressure value and reference voltage V_{ref} of the output supply voltage detected by the resistance R3 for connecting with the resistance R1 and R2 connected to the power-outlet edge, and these resistance, and generating a resistance partial pressure, and these resistance. And on pressure-up actuation with the above-mentioned boost portion 351, and a concrete target, the oscillation frequency of 30s of oscillator circuits is controlled to maintain the output supply voltage detected with the resistance partial pressure.

[0044] The resistance R3 connected to the gland by the selector switch SW30 and connection are possible for the other end of the resistance R1 and R2 connected to the power-outlet edge. The resistance of resistance R1 is larger than the resistance of resistance R2, and if the power save control signal from the I/F circuit 16 shows normal operation (for example, H level), resistance R1 will be chosen, and if the switch SW30 shows power save mode (for example, L level), it will choose resistance R2.

[0045] The plus input edge of the comparator 31 applicable to the input of the feedback section 302 is connected between the resistance R1 chosen by the switch SW30, or R2 and resistance R3, the partial pressure of output voltage is impressed, and reference voltage V_{ref} is impressed to the negative input edge. Therefore, a comparator 31 outputs a comparison signal as compared with the partial pressure according to resistance ratio with resistance R1 and R3 or resistance R2 and R3, and the reference voltage V_{ref} impressed, and the oscillation frequency of 30s of oscillator circuits is controlled by this comparison signal.

[0046] In order that a switch SW30 may choose the resistance R1 of high resistance as mentioned above at the time of normal operation as a power save control signal is for example, H level, the electrical potential difference impressed to the plus input edge of a comparator 31 turns into a predetermined low battery. And this plus input electrical potential difference and reference voltage V_{ref} are compared, as for 30s of oscillator circuits, that oscillation frequency is controlled by the comparison output from a comparator 31 for the electrical potential difference of the plus input edge of a comparator 31 not to fall, a transistor Tr30 is turned on and off according to this, and the output supply voltage from a power circuit 300 to the analog system circuit of a drive circuit is maintained by the high predetermined electrical potential difference VDD2 (for example, 5V).

[0047] On the other hand, if power save is ordered from CPU which is not illustrated, according to this, a power save control signal will serve as for example, L level, and a switch SW30 will choose the resistance R2 of low resistance from R1. for this reason, since this is compared with the same reference voltage V_{ref} as the time of normal operation, 30s of oscillator circuits has the plus input edge electrical potential difference of a comparator 31 low [the plus input edge electrical potential difference of a comparator 31 is high as compared with the time of normal operation, and] (on the same electrical potential difference as the time of R1 being chosen) — like that is,

that oscillation frequency changes so that the output supply voltage VDD2 may become low (fall). For this reason, on-off control of the transistor Tr30 is carried out, the output voltage VDD2 from a power circuit 300 turns into a low electrical potential difference (for example, 3V) as compared with the time of normal operation, and this is maintained by the pulse signal of the low frequency from 30s of oscillator circuits.

[0048] Thus, it is possible to make output voltage of the power circuit 300 of a switching regulator mold into the predetermined electrical potential difference lower than the time of normal operation instead of 0V at the time of power save by changing resistance R1 and R2 with a switch SW30.

[0049] (Charge pump mold power circuit) Next, the charge pump mold power circuit of this operation gestalt 1 corresponding to power save mode is explained using drawing 3. The supply voltage VDD2 generated at the time of normal operation is twice the input voltage Vin, and the power circuit 300 shown in drawing 3 has it at the time of power save, and generates the supply voltage VDD2 equivalent to input voltage Vin. [lower than the time of normal operation] Although oscillator-circuit 30c, the switches SW1-SW4 for capacitors, the AND gate 32, NAND gate 33, and capacitors C1 and C2 are common in the conventional power circuit 350 shown in drawing 11 (b), they are equipped with a transistor Tr32 as a pressure-up supply voltage output switch in the power circuit 300 of this operation gestalt as a transistor Tr31 and an inverter 34, and a non-pressure-up supply voltage output switch as a configuration for changing output voltage in the time of normal operation and power save.

[0050] At the time of normal operation, off control of the transistor Tr32 prepared in order that the power save control signal of H level outputted from the I/F circuit 16 might carry out ON control of the transistor Tr31 prepared in the outgoing end of a boost portion (charge pump) 303 through the inverter 34 and might bypass between I/O is carried out. Therefore, at the time of normal operation, the output voltage VDD2 (for example, 5V) which carried out the pressure up of the input voltage Vin, and obtained it can be outputted through a transistor Tr31 by changing switches SW1 and SW2 and switches SW3 and SW4 by turns. On the other hand, if a power save control signal serves as L level at the time of power save, off control of the transistor Tr31 will be carried out, and ON control of the transistor Tr32 will be carried out on the contrary. Therefore, at the time of power save, the input edge and outgoing end of a power circuit 300 are bypassed by the transistor Tr32, and the output of a boost portion 303 is intercepted by the transistor Tr31. Therefore, from the power circuit 300 of drawing 3, the non-pressure-up electrical-potential-difference power source Vin, i.e., input voltage, is outputted as supply voltage VDD2 as it is at the time of power save.

[0051] (Drive circuit 100) Next, the D/A conversion circuit 12 and amplifier 14 of drawing 1 which operates in response to supply voltage VDD2 from the power circuit 300 as shown in above-mentioned drawing 2 or drawing 3 are further explained with

reference to drawing 4 and drawing 5 . It is controlled so that the supply voltage VDD2 outputted from the power circuit 300 of this operation gestalt as mentioned above becomes lower than the time of normal operation at the time of power save. So, with this operation gestalt, as a D/A conversion circuit 12, as shown in drawing 4 , the resistance mold D/A conversion (RDAC) circuit where series connection of two or more partial pressure resistance was carried out between the power source (VDD2) and the gland is adopted.

[0052] If the supply voltage VDD2 of partial pressure resistance changes in the time of normal operation and power save (5V) (3V) while conversion actuation is possible for this D/A conversion circuit 12, even if supply voltage VDD2 falls, the partial pressure output from each partial pressure resistance will change according to this. Therefore, by usually changing a switch 120 like the time according to the digital data supplied, as shown in drawing 5 , the voltage level of the analog signal outputted according to change of supply voltage VDD2 can change, and the amplitude of a result and an analog signal can be changed. In addition, even if it does not restrict to the above-mentioned RCAC mold but the supply voltage falls, conversion actuation is possible for the D/A conversion circuit 12, and it just acquires supply voltage and the analog signal according to input digital data.

[0053] The amplitude amplifies the analog signal corresponding to change of such supply voltage using supply voltage VDD2, and outputs amplifier 14 to the LCD panel 200.

[0054] Since the power consumption in the D/A conversion circuit 12 will decline and the power source VDD2 of amplifier 14 of operation will fall similarly if the power source VDD2 used as the source of resistance part piezo-electricity becomes low, power consumption here also declines.

[0055] Thus, in the circuit which processes an analog system by controlling supply voltage VDD2 low rather than the time of normal operation at the time of power save, the power consumption can be reduced at the time of power save, and it is possible to save the power consumption as the whole indicating equipment.

[0056] Moreover, although the case where the supply voltage of a power circuit 300 is controlled is mentioned as the example in the above explanation based on the power save control signal outputted from I/F16 according to the power save control instruction from CPU which is not illustrated As shown in drawing 1 , an equipment user etc. may form the switchable switch 400 in arbitration, the above-mentioned power save control signal may be generated by changing this switch 400, and the configuration which supplies this control signal to a power circuit 300 as the drawing 1 middle point line shows may be adopted. Moreover, while operating in response to the power save control instruction from CPU, it can also consider as the configuration whose user etc. performs power save to arbitration using this switch 400.

[0057] The equipment using the power circuit and this corresponding to power save

mode concerning the [operation gestalt 2], next the operation gestalt 2 is explained with reference to drawing 1 and drawing 6 – drawing 9 . Although off control of the power source was not carried out at the time of power save but the supply voltage VDD2 of the circuit of an analog system was controlled by the indicating equipment of the above-mentioned operation gestalt 1 lower than the time of normal operation, while the supply voltage VDD2 of an analog system circuit is lower [than the time of normal operation] controllable by this operation gestalt 2 like the operation (mode 1) gestalt 1 according to the mode of power save, it is also possible to carry out off control of the (mode 2) power source.

[0058] Although the whole display configuration is as being shown in drawing 1 , in this operation gestalt 2, the power save control signal 1 from the I/F circuit 16 (or switch 400) and the clock for power sources of the traveler's check circuit 18 shown according to a two-dot chain line in drawing 1 are supplied to the power circuit 300. Drawing 6 shows the configuration of the power circuit 300 concerning the operation gestalt 2, drawing 7 shows the I/F circuit 16 of the above-mentioned drive circuit 100, and the clock generation section for power sources of traveler's check18, and equipment actuation of the book [drawing 8] operation gestalt 2 in the case of the power save mode 1 and drawing 9 show the equipment actuation in the case of the power save mode 2.

[0059] The circuit which generates the supply voltage VDD2 which is the power source of an analog system circuit of operation in this operation gestalt 2 as shown in drawing 6 among power circuits 300 can operate in response to the clock for power sources from the traveler's check circuit 18 like the after-mentioned, is a charge pump mold power circuit and is [its oscillator-circuit 30c is unnecessary, and] common in the power circuit 300 of above-mentioned drawing 3 about other configurations.

[0060] As shown in drawing 7 , the I/F circuit 16 is equipped with the AND gate 169, flip-flops (F/F) 161–168, inverters 170–173, 175–177, and NAND gates 174 and 178. And if the load signal (drawing 8 (a):S-LOAD) sent out from CPU is set to H level, according to the standup of the clock (drawing 8 (b):S-CLOCK) supplied from CPU, the control signal which incorporates control data (drawing 8 (c) or drawing 9 (c):S-DATA), and corresponds will be generated. In addition, this control data consists of 4 bits, mentions as an example the case where the power save mode 1 to which "0001" of drawing 8 (c) reduces supply voltage VDD2 from the time of normal operation, and the power save mode 2 to which "0010" of drawing 9 (c) carries out OFF control of the power circuit are expressed below, and is explained.

[0061] In drawing 7 , F/F 161–164 of the I/F circuit 16 receives the AND output OUT169 (drawing 8 (d)) of a clock (S-CLOCK) and a load signal (S-LOAD) in each clock terminal CK, incorporates the serial control data (S-DATA) supplied to D terminal at the time of the standup of this output OUT169 one by one, and outputs

this from Q terminal. F/F 165-168 incorporates Q output from F/F 161-164 which receives the reversal signal of the load signal (S-LOAD) outputted from an inverter 170 in the clock terminal CK, and is supplied to corresponding D terminal one by one, and outputs this from Q terminal.

[0062] (Power save mode 1: At the time of control data "0001") Actuation in case an instruction is the power save mode 1 is explained first. F/F 161-164 is the standup of the output OUT169 of drawing 8 (d), respectively, since control data "0001" of drawing 8 (c) is incorporated one by one, Q output (Q162-164) of F/F 162-164 maintains L level during the whole term, as shown in drawing 8 (f), and only Q output (Q161) of F/F161 changes from L level to H level in the 4th standup of a clock (S-CLOCK).

[0063] In order that F/F165 may incorporate Q output (Q161) of F/F161 at the time of falling of the load signal (S-LOAD) of drawing 8 (a), as shown in drawing 8 (g), Q output (Q165) of F/F165 changes from L level to H level in falling of a load signal (S-LOAD). Moreover, as for Q outputs each (Q166-168), L level is maintained, even if a load signal (S-LOAD) falls to it as shown in drawing 8 (h) since Q output of F/F 162-164 of L level during the whole term is supplied to D terminal of F/F 166-168 as mentioned above.

[0064] The reversal output which reversed and obtained Q output (Q165) from F/F165 and Q output (Q166-168) of F/F 166-168 with inverters 171-173 is supplied to NAND gate 174. Therefore, from NAND gate 174, if both the level of Q output (Q165) and the level of a reversal Q output (Q166-168) turn into H level as shown in drawing 8 (i), L level will be outputted. That is, from NAND gate 174, only when the control data (S-DATA) supplied during H level period of a load signal (S-LOAD) is "0001" (= power save 1), the power save control signal 1 (A) which serves as L level from falling of a load signal is outputted.

[0065] Moreover, the reversal output which reversed and obtained Q outputs each of F/F 165, 167, and 168 (167 Q165, 168) with inverters 171-173, and the noninverting Q output (Q166) from F/F166 are supplied to NAND gate 178. Therefore, the output OUT178 from NAND gate 178 serves as the power save control signal 2 (B) which maintains H level during the whole term, as there is no period when a total input is equal to H level and it is shown in drawing 8 (j).

[0066] The power save control signal 1 outputted is supplied to the transistor Tr31 like the operation gestalt 1 through the AND gate 32, NAND gate 33, the transistor Tr32, and inverter 34 of a power circuit 300 of drawing 6 from NAND gate 174.

[0067] On the other hand, the power save control signal 2 outputted from NAND gate 178 is supplied to the clock generation circuit 180 for power sources prepared in traveler's check18 as shown in drawing 7. This clock generation circuit 180 for power sources is a circuit which generates the clock for power sources based on the system clock which it is used with the power save control signal 2 in common by each IC etc., or each IC creates, with this operation gestalt 2, it consists of the AND gates, the

above-mentioned power save control signal 2 is supplied to one input of this AND gate, and a system clock as shown in the input of another side at drawing 8 (k) is supplied. When control data (S-DATA) is "0001" as mentioned above, since the power save control signal 2 is H level during the whole term, the clock generation circuit 180 for power sources outputs this to a power circuit 300 as it is by using a system clock (drawing 8 (k)) as the clock for power sources.

[0068] When shifting to the power save mode 1, a power circuit 300 operates as follows. First, at the time of normal operation, the power save control signal 1 outputted from NAND gate 174 of the I/F circuit 16 is H level, carries out ON control of the transistor Tr31 with which this was prepared in the outgoing end of a charge pump through the inverter 34, and carries out off control of the transistor Tr32 prepared between I/O.

[0069] Furthermore, in order that the power save control signal 2 may also maintain H level at the time of normal operation, from the clock generation circuit 180 for power sources, the clock for power sources is outputted according to a system clock. The power save control signal 1 which this clock for power sources is supplied to one input of the AND gate 32 of a power circuit 300 and NAND gate 33, and is supplied to the input of another side of the AND gate 32 of a power circuit 300 and NAND gate 33 at the time of normal operation is H level. Therefore, at the time of normal operation, the clock for power sources is supplied to switches SW1-SW4 by noninverting and reversal from the AND gate 32 and NAND gate 33, switches SW1 and SW2 and switches SW3 and SW4 change by turns, and are controlled, and the output voltage VDD2 (for example, 5V) which carried out the pressure up of the input voltage Vin, and obtained it is outputted through a transistor Tr31.

[0070] If the load signal (S-LOAD) of drawing 8 (a) falls to L level, it shifts to the power save mode 1, and the power save control signal 1 falls on L level, like the operation gestalt 1, OFF control of the transistor Tr31 will be carried out, and ON control of the transistor Tr32 will be carried out on the contrary. The input edge and outgoing end of a power circuit 300 are bypassed by the transistor Tr32, and the output of a boost portion 303 is intercepted by the transistor Tr31.

[0071] Thus, at the time of the power save mode 1, it is outputted as supply voltage VDD2 as it is from a power circuit 300, without carrying out the pressure up of the input voltage Vin. In addition, although supply of the clock for power sources continues at the time of the power save 1, since the power save control signal 1 is L level, the output of the AND gate 32 and NAND gate 33 is being fixed.

[0072] (Power save mode 2: At the time of control data "0010") Next, the case where an instruction is the power save mode 2 is explained. In this case, F/F 161-164 is the standup of the output OUT169 of drawing 8 (d), in order to incorporate control data "0010" of drawing 9 (c) one by one, Q output (163 Q161, 164) of F/F 161, 163, and 164 maintains L level during the whole term, and only Q output (Q162) of F/F162

changes from L level to H level in the 3rd startup of a clock (S-CLOCK).

[0073] Moreover, in order that F/F 165-168 may incorporate Q output (Q161-164) from F/F 161-164 at the time of falling of the load signal (S-LOAD) of drawing 9 (a), only Q output (Q166) of F/F166 changes from L level to H level in falling of a load signal (S-LOAD), and Q outputs each of F/F 165, 167, and 168 (167 Q165, 168) maintain L level.

[0074] Therefore, since the input level of the power save control signal 1 outputted (A) does not correspond during the whole term from NAND gate 174, H level is maintained as shown in drawing 9 (d). On the other hand, in NAND gate 178, a load signal (S-LOAD) falls, all the input levels from the time of the output of F/F166 being set to H level to this NAND gate 178 turn into H level, and as shown in drawing 9 (e), the power save control signal 2 changes to L level. When the power save control signal 2 is set to L level, the output of the system clock (drawing 9 (f)) from the clock generation circuit 180 for power sources of drawing 7 is forbidden, and an output is fixed to L level as shown in drawing 9 (g). Therefore, supply to the power circuit 300 of the clock for power sources stops.

[0075] The pressure up of the input voltage V_{in} is carried out like [a power circuit 300] the above during a normal operation period until the load signal (S-LOAD) of drawing 9 (a) falls, and output voltage VDD2 is generated. And it shifts to the power save mode 2 from the time of a load signal (S-LOAD) falling. Thereby, since the clock for power sources from the clock generation circuit 180 for power sources is fixed to L level, switches SW1 and SW2 open, and it means that SW3 and SW4 closed with as. Moreover, since the power save control signal 1 is maintaining H level at this time, off control of the transistor Tr32 is carried out, ON control of the transistor Tr31 is carried out, and the output of an electrical potential difference VDD2 stops from a power circuit 300.

[0076] Therefore, at the time of the power save mode 2, at least, off control of VDD2 of a power circuit 300 is carried out, and the circuit of the analog system of the drive circuit 100 does not operate. Moreover, although not illustrated, the power consumption in a drive circuit etc. can be completely lost also about VDD1 and VDD3 by carrying out OFF control in the case of the power save mode 2, and the power consumption as a display can be reduced certainly. Moreover, in the power save mode 2, since equipment does not require a display, even if it suspends generating of the clock for power sources and carries out off control of the power circuit 300, a display is not affected at all.

[0077] Moreover, the configuration of a power circuit 300 can respond not only in above-mentioned drawing 6 but in the power circuit 300 as shown in drawing 3 explained in the operation gestalt 1. Here, the correspondence to the power save mode 1 of the power circuit 300 of drawing 3 is the same as the operation gestalt 1, and changes and controls a transistor 31 and Tr 32 according to the power save

control signal 1 (A) outputted from NAND gate 174 of drawing 7 . The correspondence to the power save mode 2 supplies the power save control signal 2 (B) outputted to oscillator-circuit 30c from NAND gate 178 of drawing 7 , and stops oscillation actuation of oscillator-circuit 30c according to this control signal 2, and changes a transistor 31 and Tr 32 to coincidence with the power save control signal 1, and should just carry out ON control of Tr31.

[0078] According to this operation gestalt 2, on the occasion of power save, the power consumption in the circuit where supply voltage is made lower than the time of normal operation, and also giving an indication possible, controlling power consumption also uses this power source as a power source of operation by carrying out OFF control of the power source can also be lost as mentioned above. Therefore, when user-friendliness is required highly, it is very effective for the device of the possible high performance of stopping the maximum power consumption.

[0079] Moreover, the circuit 180 which generates the clock for power sources can be constituted only from the AND gate which takes the AND of the power save control signal 2 and a system clock, and can build this AND gate in IC (100) for drive circuits in easy and small area. Furthermore, if the clock for power sources is used, since an oscillator circuit is not needed for a power circuit 300, a power circuit 300 becomes possible [making all the configurations of those other than capacitor C1 and C2 in the same IC as the above-mentioned drive circuit 100]. Therefore, the mechanical component of a display including a power circuit and a drive circuit is realizable in a smaller area.

[0080] In addition, during a normal operation period, although it may output a system clock as a clock for power sources as it is as mentioned above, the clock generation circuit 180 for power sources is not outputted as it is, but is the same frequency as a system clock, and may output the clock with which the amplitude and pulse width differ from each other according to the ratio of the capacitors C1 and C2 in a power circuit 300 etc. Moreover, the configuration of generating the clock of the optimal frequency for a power circuit 300 in consideration of the capacity value of capacitors C1 and C2 etc. based on a system clock may be used during a normal operation period.

[0081] In the operation gestalten 1 and 2 of this invention explained above, even if displays are not only a liquid crystal display but an organic electroluminescence display, and other flat-surface displays, they do the same effectiveness so. Moreover, in the display represented by the liquid crystal display etc., in case it displays, if a certain system clock is used and this system clock is used like the operation gestalt 2, an oscillator circuit becomes unnecessary in a power circuit, and the clock for power sources can be created with an easy configuration in a drive circuit.

[0082] Furthermore, the power circuit of this invention explained in the operation gestalten 1 and 2 is not restricted to the power source for an indicating equipment, but can be used also as a power circuit of other devices corresponding to power save

mode.

[0083] In the operation gestalten 1 and 2 moreover, the return in the normal operation condition from power save mode For example, when the load signal (S-LOAD) from CPU is set to H level next and the control data sent out from CPU expresses the predetermined normal operation instruction, the I/F circuit 16 analyzes this. The power save control signal A is realizable by returning to H level (the operation gestalt 2 both the power save control signal 1 and the control signal 2).

[0084]

[Effect of the Invention] Since the driving gear for the indicating equipments of this invention reduces the supply voltage in the digital-to-analog circuit and analog signal processing circuit in a drive circuit when power save orders as explained above, power consumption can be reduced in these circuits that process an analog signal. Furthermore, operating, even if supply voltage falls is possible, and even if it is the circuit which processes these analog signals in this invention at the power save time, it can generate the signal for making it display on a display, and it can be displayed.

[0085] When a power save instruction is issued, if an output is alternatively possible, it is good, and the resistance for supply voltage detection and its selector switch or a pressure-up power-outlet switch, a non-pressure-up power-outlet switch, etc. are very simple, and, as for the power circuit which supplies supply voltage to such a drive circuit, control can realize non-pressure-up supply voltage by the easy configuration.

[0086] the driving gear for indicating equipments furthermore applied to this invention -- power save control instruction -- being based -- pressure-up power-source generating mode, non-pressure-up power-source generating mode, and power-source stop mode -- judging -- this -- responding -- the power source to a digital-to-analog circuit and an analog signal processing circuit -- being controllable . Therefore, while corresponding to many modes of operation with an easy configuration, it is possible to reduce power consumption. When it can display, aiming at reduction of power consumption especially when required and priority is given to reduction of power consumption, OFF control of the power source can be carried out with an easy configuration.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the display concerning this invention.

[Drawing 2] It is drawing showing the configuration of the switching regulator mold power circuit of the indicating equipment concerning the operation gestalt 1 of this invention.

[Drawing 3] It is drawing showing the configuration of the charge pump mold power circuit of the indicating equipment concerning the operation gestalt 1 of this invention.

[Drawing 4] It is drawing showing the configuration of the D/A conversion circuit of the display concerning the operation gestalt 1 of this invention.

[Drawing 5] It is drawing showing the signal wave form which can be created by the configuration of drawing 4 .

[Drawing 6] It is drawing showing the configuration of the power circuit of the display concerning the operation gestalt 2 of this invention.

[Drawing 7] It is drawing showing the configuration of the CPU interface circuitry of the display concerning the operation gestalt 2 of this invention, and the clock creation circuit for power sources in a timing controller.

[Drawing 8] It is the timing chart which shows the actuation in the case of the power save mode 1 of a configuration of being shown in drawing 7 .

[Drawing 9] It is the timing chart which shows the actuation in the case of the power save mode 2 of a configuration of being shown in drawing 7 .

[Drawing 10] It is drawing showing the configuration of the conventional liquid crystal display for pocket devices.

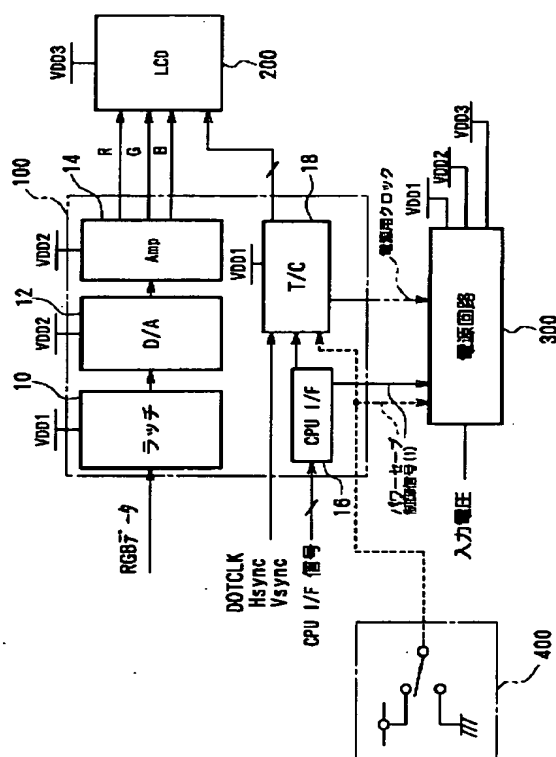
[Drawing 11] It is drawing showing the configuration of the power circuit 350 of drawing 10 .

[Description of Notations]

10 Latch Circuit, 12 Digital Analog (D/A) Conversion Circuit, 14 Amplifier, 16 CPU interface circuitry (CPU I/F), 18 A timing controller (traveler's check), 30c, 30s Oscillator circuit, 31 A comparator, 32 The AND gate, 33 NAND gate, 34, 170, 171, 172, 173, 175, 176, 177 Inverter, 100 A drive circuit, 161, 162, 163, 164, 165, 166, 167, 168 Flip-flop (F/F), 169 The AND gate, 174, 178 A NAND gate, 180 The clock generation circuit for power sources (AND gate), 200 A display panel (LCD panel), 300 A power circuit, 301, 303 A boost portion, 302 Feedback section.

(11)特許出願公開番号
特開2001-282164
(P2001-282164A)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 2 H 0 9 3
	6 1 2		6 1 2 D 5 C 0 0 6
	6 8 0		6 8 0 S 5 C 0 8 0
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 H 7 3 0
G 0 9 G 3/36		G 0 9 G 3/36	5 K 0 6 7
審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く			



【特許請求の範囲】

【請求項 1】 表示装置用駆動装置において、デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する駆動回路と、前記駆動回路のための電源電圧を発生する電源回路と、を有し、前記電源回路は、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に供給する電源電圧を通常動作時よりも低くすることを特徴とする表示装置用駆動装置。

【請求項 2】 請求項 1 に記載の駆動装置において、前記デジタルアナログ変換回路は、前記電源回路からの電源に直列接続された複数の分圧抵抗を有し、該分圧抵抗によって前記電源電圧を複数段階に分圧し、デジタルデータに応じた分圧を選択してアナログ信号を出力することを特徴とする表示装置用駆動装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の駆動装置において、前記電源回路は、入力電圧を昇圧する昇圧部と、電源出力端での電源電圧を抵抗分圧として検出し、これを基準電圧と比較して前記電源電圧を維持するよう前記昇圧部を制御するフィードバック部と、を備え、さらに、前記電源電圧を検出するために前記電源出力端にそれぞれ接続され互いに抵抗値の異なる複数の抵抗、及び前記複数の抵抗のうち前記フィードバック部に接続する抵抗を選択するセレクトスイッチと、を有し、前記セレクトスイッチが選択する抵抗の抵抗値に応じて、電源電圧の前記フィードバック部への入力分圧値が変更され、前記デジタルアナログ変換回路及び前記アナログ信号処理回路への出力電源電圧が変更されることを特徴とする表示装置用駆動装置。

【請求項 4】 請求項 3 に記載の駆動装置において、出力電源電圧の低下が要求される時は、前記セレクトスイッチにより抵抗値の小さい抵抗を選択させ、前記フィードバック部への入力分圧値を上昇させることを特徴とする表示装置用駆動装置。

【請求項 5】 請求項 1 又は請求項 2 に記載の駆動装置において、前記電源回路は、入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端と前記電源出力端とをバイパスする非昇圧電源出力スイッチと、を備え、2 種類の前記出力スイッチを切り替え制御して、昇圧電

源電圧又は非昇圧電源電圧のいずれかを前記デジタルアナログ変換回路及び前記アナログ信号処理回路に出力することを特徴とする表示装置用駆動装置。

【請求項 6】 請求項 1 又は請求項 2 に記載の駆動装置において、前記電源回路は、複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端を前記電源出力端にバイパスする非昇圧電源出力スイッチと、を備え、前記駆動回路がシステムクロックを用いて作成した電源用クロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記電源用クロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止することを特徴とする表示装置用駆動装置。

【請求項 7】 請求項 1 又は請求項 2 に記載の駆動装置において、前記電源回路は、複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端を前記電源出力端にバイパスする非昇圧電源出力スイッチと、を備え、所定発振回路からのクロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記発振回路からのクロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止することを特徴とする表示装置用駆動装置。

【請求項 8】 請求項 6 又は請求項 7 のいずれかに記載の駆動装置において、前記駆動回路は、所定パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、結果に応じて、前記電源クロックの供給と供給停止又は前記発振回路からのクロックの供給と供給停止、及び前記電源回路の前記出力スイッチの開閉を制御することを特徴とする表示装置用駆動装置。

【請求項9】 デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する表示装置用の駆動回路であって、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路は、通常動作時よりも低下した電源電圧により動作することを特徴とする表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置、特にパワーセーブモードに対応し、低消費電力な表示装置のための駆動装置に関する。

【0002】

【従来の技術】液晶表示装置や有機EL表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】図10は、携帯電話の表示装置として用いられる液晶表示装置の構成を示している。液晶表示装置は、一對の基板間に液晶が封入されて構成された液晶表示(LCD)パネル200と、このLCDパネル200を駆動する駆動回路101と、駆動回路101及びLCDパネル200に必要な電源電圧を供給する電源回路350を備えている。

【0004】駆動回路101は、供給されるRGBデジタルデータをラッチするラッチ回路10、ラッチしたデータをアナログデータに変換するデジタルアナログ(D/A)変換回路12、変換されたアナログデータを増幅し液晶表示パネル200にR、G、Bアナログ表示データとして供給するアンプ14を備える。また駆動回路101は、タイミングコントローラ(T/C)22と、図示しないCPUから命令を受け取って命令に応じた制御信号を出力するCPUインターフェース(I/F)回路20を備える。T/C22は、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づいて、液晶表示パネル200での表示に適したタイミング信号を発生している。

【0005】電源回路350は、必要に応じて複数の電源電圧を発生しており、ここでは、低電圧駆動に適したCMOS論理回路で構成され、デジタル信号処理を行う上述のラッチ回路10には低電圧の電源電圧VDD1を供給し、D/A変換回路12、アンプ14にはより高電圧の電源電圧VDD2、LCDパネル200には更に高電圧の電源電圧VDD3を供給している。

【0006】図11(a)及び(b)はそれぞれ、上記複数の電圧のうち、電圧VDD2を発生する従来の電源回路の構成を示しており、図11(a)に示す電源回路350は、スイッチングレギュレータ型、図11(b)

に示す電源回路350はチャージポンプ型回路である。

【0007】図11(a)のスイッチングレギュレータ型の電源回路350は、入出力の間にこの順に設けられたコイルL1及びダイオードD1、所定パルス信号を発振する発振回路35s、発振回路35sからのパルス信号をゲートに受けるトランジスタTr36を備える昇圧部351を有し、発振回路35sからのパルス信号によってトランジスタTr36をオンオフ制御することで、コイルL1及びダイオードD1において入力電圧VINを昇圧しており、得られた昇圧電源電圧VDD2は、液晶駆動回路101に動作電源として供給されている。また、電源回路350は、その出力端とグランドとの間に、分圧抵抗R37及びR38を有し、コンパレータ36がこの抵抗R37とR38との間の分圧と基準電圧Vrefとを比較して比較信号を出力する。そして、コンパレータ36からの出力電圧VDD2に応じた比較信号に基づいて発振回路35sの発振周波数を制御することで、出力電圧VDD2が安定するように制御している。

【0008】図11(b)のチャージポンプ型の電源回路350は、2つのキャパシタC1、C2と、このキャパシタへの入力電圧の供給ルートを切り替えるキャパシタ用スイッチSW1～SW4、該スイッチSW1～SW4の切替を制御するためのパルス信号を発生する発振回路35c、ANDゲート37及びNANDゲート39を備えている。

【0009】発振回路35cは、例えばデューティ比1/2のパルス信号を発生し、このパルス信号がANDゲート37を介してスイッチSW1及びSW2に供給され、NANDゲート39を介してスイッチSW3及びSW4に供給され、スイッチSW1及びSW2と、スイッチSW3及びSW4とを交互に開閉している。

【0010】スイッチSW3及びSW4が閉じると、キャパシタC1の図中上側の電極に入力電圧VINが印加され、下側の電極はグランド(GND)電位となってキャパシタC1が充電される。次のタイミングでスイッチSW3及びSW4が開いて反対にスイッチSW1及びSW2が閉じると、キャパシタC1の図中の下側電極に入力電圧VINが印加され、キャパシタC1の上側電極の電位が入力電圧VINの2倍の電位まで昇圧され、キャパシタC1の上側電極とキャパシタC2との間から引き出された出力端から入力電圧VINの2倍の出力電圧VDD2を得ている。

【0011】ところで、例えば携帯電話等の携帯機器においては、消費電力低減の要求が非常に強く、機器の表示装置についても消費電力の一層の低下が求められている。この要求に対応するため、従来より非動作時には、装置電源をオフ制御することで装置の消費電力削減を行うパワーセーブモードが採用されている。

【0012】図10に示す表示装置においてもこのようなパワーセーブモードに対応しており、I/F回路20

が、図示しないCPUから送出されるパワーセーブ制御命令を解析し、パワーセーブ制御信号を発生している。パワーセーブ制御信号は、例えば、通常動作時とパワーセーブ時とでレベルが異なる信号で、図11の電源回路350に供給されており、図11(a)及び(b)のいずれの形式の電源回路350も、パワーセーブ制御信号がパワーセーブを表すレベルになると、電源電圧VDD2の発生を停止する構成を有している。また、図示しないが、同様に、電源VDD3もオフ制御され、LCDパネル200への電源供給が停止する。

【0013】図11(a)の電源回路350では、トランジスタTr35、Tr37及びTr38、抵抗R35及びR36、及びインバータ38によって、このようなパワーセーブモードに対応している。なお、ここでは、パワーセーブ制御信号が通常動作時Lレベル、パワーセーブ時Hレベルとなる。

【0014】通常動作時には、Lレベルのパワーセーブ制御信号を受け、発振回路35sは発振動作し、トランジスタTr37がオンして、入出力経路に設けられたトランジスタTr35をオンさせる。また、電源回路350の出力端とグランドとの間に接続されたトランジスタTr38は、この時オフ制御されている。従って、通常動作時は、入力電圧VINを昇圧部351で昇圧して得られた電圧VDD2が出力される。

【0015】またパワーセーブ時にパワーセーブ制御信号がHレベルとなると、発振回路35sが発振動作を停止し、トランジスタTr37がオフしてトランジスタTr35がオフ制御されるので、昇圧部351からの出力が絶たれる。また、トランジスタTr38がオンするため、出力端がグランドに接続されることとなり、電源回路350からの出力電圧が0V、つまり電源回路350がオフ制御される。

【0016】一方、図11(b)の電源回路350は、通常動作時にHレベル、パワーセーブ時にLレベルとなるパワーセーブ制御信号を受けて、該パワーセーブ制御信号がHレベルであれば通常通りにパルス信号を発生する。このためスイッチSW1及びSW2と、SW3及びSW4とが交互に切り替え制御され、チャージポンプが機能して入力電圧VINより高い出力電圧VDD2を得る。しかし、パワーセーブ時において、パワーセーブ制御信号がLレベルとなると、発振回路35cは動作を停止し、ANDゲート37の出力がLレベルに固定され、NANDゲート39の出力がHレベルに固定されるため、キャパシタC1及びC2が放電されて出力電圧が低下し、電源回路350はオフ制御される。

【0017】このように、パワーセーブモードに対応する従来の電源回路では、パワーセーブ時に、表示装置の駆動回路101やLCDパネル200に供給される電源電圧をオフ制御することで、駆動回路101やLCDパネル200での電力消費をなくし、表示装置としての消

費電力をセーブしている。

【0018】

【発明が解決しようとする課題】しかしながら、上述のようにパワーセーブ時に電源回路をオフ制御してしまうと、表示装置では表示ができなくなる。携帯電話を例に挙げると、非通話時等にパワーセーブモードとなると、内蔵する時計の示す時刻や電波状態などを表示したくとも、表示電源がオフ制御されているので何も表示できない。

【0019】パワーセーブ時にも表示を可能とするためには、表示用電源をオフせずに、表示装置の駆動周波数を低下させるという方法が考えられる。しかし、表示装置では、CPU等と異なり、その駆動周波数の低下は単なる動作速度の低下だけでなく、表示品質に大きな影響を与えてしまい、一定周波数以下になると表示フリッカが発生し、著しい表示品質の劣化を招いてしまう。従って、駆動周波数の低下によるパワーセーブには、低下可能な周波数に限界があり、それでは消費電力の低減効果が余り高くない。

【0020】また、例えばラッチ回路等のデジタル処理系の回路においては、信号がHからL、LからHへ変化する時に電力を消費するので、駆動周波数を低下させることにより、その消費電力を低減することができる。しかし、D/A回路やアンプ等のアナログ処理系の回路では、その消費電力の駆動周波数に依存性は低く、駆動周波数を低下させるだけでは、省電力化ができないという問題がある。

【0021】さらに、パワーセーブのために、通常低下可能な駆動周波数よりさらに低い駆動周波数で表示を行うには、LCDパネル内の素子構成の設計変更や液晶材料の変更、或いはLCD駆動方法の変更などが必要で、大がかりな設計変更となり装置のコストアップなどを招いてしまう。

【0022】上記課題を解決するために、この発明は、より簡単な方法で効率的にパワーセーブモードに対応して消費電力を低減することが可能で、かつパワーセーブ時にも表示が可能な表示装置を実現することを目的とする。

【0023】

【課題を解決するための手段】上記目的を達成するためにこの発明は、以下のような特徴を有する。

【0024】まず、本発明に係る表示装置用駆動装置では、デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する駆動回路と、前記駆動回路のための電源電圧を発生する電源回路と、を有し、前記電源回路は、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に供給する電源電

圧を通常動作時よりも低くすることを特徴とする。

【0025】本発明の他の特徴は、上記駆動装置において、前記デジタルアナログ変換回路が、前記電源回路からの電源に直列接続された複数の分圧抵抗を有し、該分圧抵抗によって前記電源電圧を複数段階に分圧し、デジタルデータに応じた分圧を選択してアナログ信号を出力することである。

【0026】また本発明では、デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する表示装置用の駆動回路であって、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路は、通常動作時よりも低下した電源電圧により動作することを特徴とする。

【0027】このようにパワーセーブが命じられたときに、駆動回路内のデジタルアナログ変換回路及びアナログ信号処理回路における電源電圧を低下させるので、アナログ信号を処理するこれらの回路において消費電力を低減することができる。さらに、本発明においてこれらアナログ信号を処理する回路は、電源電圧が低下しても動作することが可能であり、パワーセーブ時であっても表示部に表示を行わせるための信号を発生することができ、表示を行うことが可能である。

【0028】本発明の他の特徴は、上記駆動装置において、前記電源回路が、入力電圧を昇圧する昇圧部と、電源出力端での電源電圧を抵抗分圧として検出し、これを基準電圧と比較して前記電源電圧を維持するよう前記昇圧部を制御するフィードバック部と、を備え、さらに、前記電源電圧を検出するために前記電源出力端にそれぞれ接続され互いに抵抗値の異なる複数の抵抗、及び前記複数の抵抗のうち前記フィードバック部に接続する抵抗を選択するセレクトスイッチと、を有し、前記セレクトスイッチが選択する抵抗の抵抗値に応じて、電源電圧の前記フィードバック部への入力分圧値が変更され、前記デジタルアナログ変換回路及び前記アナログ信号処理回路への出力電源電圧が変更されることである。

【0029】本発明の他の特徴は、上記電源回路において、出力電源電圧の低下が要求される時は、前記セレクトスイッチにより抵抗値の小さい抵抗を選択させ、前記フィードバック部への入力分圧値を上昇させることである。

【0030】本発明の他の特徴は、表示装置用駆動装置において、上記電源回路が、入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端と前記電源出力端とをバイパスする非昇圧電源出力スイッチと、を備え、2種類の前記出力スイッチを切り替え制御して、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力することである。

る。

【0031】電源回路がこのように、昇圧電源電圧と非昇圧電源電圧を選択して出力することが可能であれば、パワーセーブ命令が出されたとき、デジタルアナログ変換回路及びアナログ信号処理回路に対し、通常動作時よりは低い電源電圧を簡易な構成によって供給できる。そして、デジタルアナログ変換回路及びアナログ信号処理回路がパワーセーブ時にも非昇圧電源電圧によって動作することができる。

【0032】本発明の他の特徴は、上記駆動装置において、電源回路が、複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端を前記電源出力端にバイパスする非昇圧電源出力スイッチと、を備え、駆動回路がシステムクロックを用いて作成した電源用クロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記電源用クロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は電源電圧の出力を停止することである。

【0033】或いは、電源回路は、所定発振回路からのクロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記発振回路からのクロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止してもよい。

【0034】このような本発明の表示装置用駆動装置は、少なくとも3種類の電源発生動作が可能で、通常動作の他、複数のパワーセーブモードに対応し、装置機能を維持しつつ消費電力の低減を図り、或いは消費電力の低減を最優先する等、多くの動作モードに対応できる。即ち、通常動作時に表示が可能であると共に、例えば要求される消費電力の低減レベルが低い場合には、非昇圧電源電圧を発生することで表示を可能とし、要求レベルが高い場合には、電源をオフ制御することでこの電源を動作電源とする回路等における消費電力をなくすというように、多くのパワーセーブモードに対応した高機能な装置を提供することが可能となる。

【0035】また、本発明では、上記電源回路において、前記集積回路が所定パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、結果に応じて、前記電源クロックの供給と供給停止又は前記発振回路からのクロックの供給と供給停止、及び前記出力スイッチの開閉を制御することができる。

【0036】このようなクロックの供給及び停止は、例

例えばCPUなどからの制御命令に基づいて簡単な構成によって制御でき、またスイッチの開閉制御についても簡単な構成で実現でき、複数の動作モードに簡易な構成で対応することが容易である。

【0037】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0038】【実施形態1】図1は、実施形態1に係るパワーセーブモード対応型表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載されるLCDなどの平面表示装置であり、表示パネル（以下においてはLCDパネル）200と、駆動回路100を有し、更にこれら駆動回路100及びパネル200に、必要な複数の電源電圧（例えばVDD1、VDD2、VDD3）を供給する電源回路300を備えている。

【0039】駆動回路100は、上述の図10と同様にデジタル信号を処理するデジタル信号処理回路であるラッチ回路10、アナログ信号を処理する回路に該当するD/A変換回路12及びアンプ14を備えると共に、I/F回路16及びT/C18を備える。I/F回路16は、図示しないCPUから送出される命令を受け取ってこれを解析し、命令に応じた制御信号を出力する。CPUから送出される命令は、パワーセーブ制御命令の他、表示パネルでの表示位置の調整命令やコントラスト調整命令などで、これらの制御命令は、予め定められたデジタル制御データに表されており、I/F回路16は、ロード信号(S-LOAD)及びCPUクロック(S-CLOCK)に従ってデジタル制御データ(S-DATA)を取り込み、制御データに応じた制御信号を発生する。なお、I/F回路16の構成及びパワーセーブ制御信号の発生動作は、後述する実施形態2（図7及び図8(a)～(i)）と同じで、ここでは説明を省略する。また、T/C18は、本実施形態1では、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づいて、LCDパネル200での表示に適したタイミング信号を発生し、これをLCDパネル200に出力している。

【0040】本実施形態では、上記駆動回路100のうち、アナログ系の処理回路、具体的にはD/A変換回路12とアンプ14とに対し、以下に説明する電源回路300によってパワーセーブ時に、通常動作時よりは低いがこれらの回路が動作可能な電源電圧VDD2を供給する。これにより、パワーセーブ時での表示部での表示を可能としつつ、これらアナログ系回路における消費電力の低減を図っている。

【0041】（スイッチングレギュレータ型電源回路）図2は、本実施形態1に係る電源回路300のうちVDD2を発生する回路構成を示している。この電源回路300は、パワーセーブモードに対応したスイッチングレ

ギュレータ型の電源回路であり、I/F回路16から供給されるパワーセーブ制御信号に基づき、パワーセーブ時にも、オフすることなく、D/A変換回路12及びアンプ14に対し、通常動作時の電源電圧VDD2よりも低い電源電圧VDD2を発生して供給している。なお、パワーセーブ時の電源電圧VDD2は、通常動作時よりは低電圧であるが、上記D/A変換回路12及びアンプ14が動作するのに必要な電圧以上に設定されている。

【0042】電源回路300は昇圧部301及びフィードバック部302を有し、昇圧部301は、図11

(a)の昇圧部351と同様、入出力間に設けられたコイルL1及びダイオードD1と、発振回路30s及び発振回路30sからのパルス信号をゲートに受けてオンオフし、コイルL1とダイオードD1との間の電圧をスイッチングするトランジスタTr30を備える。

【0043】また、フィードバック部302は、電源出力端に接続された抵抗R1及びR2、これらの抵抗と接続されて抵抗分圧を発生するための抵抗R3、これらの抵抗によって検出される出力電源電圧の分圧値と基準電圧Vrefとを比較するコンパレータ31を備える。そして、抵抗分圧によって検出した出力電源電圧を維持するように、上記昇圧部351での昇圧動作、具体的には発振回路30sの発振周波数を制御している。

【0044】電源出力端に接続された抵抗R1及びR2の他端は、セレクトスイッチSW30によって、グランドに接続された抵抗R3と接続可能となっている。抵抗R1の抵抗値は、抵抗R2の抵抗値よりも大きく、スイッチSW30は、I/F回路16からのパワーセーブ制御信号が通常動作（例えばHレベル）を示していれば、抵抗R1を選択し、パワーセーブモード（例えばLレベル）を示していれば、抵抗R2を選択する。

【0045】フィードバック部302の入力に該当するコンパレータ31の正入力端は、スイッチSW30によって選択された抵抗R1又はR2と、抵抗R3との間に接続され、出力電圧の分圧が印加され、負入力端には基準電圧Vrefが印加されている。よって、コンパレータ31は、抵抗R1とR3、又は抵抗R2とR3との抵抗比に応じた分圧と、印加される基準電圧Vrefと比較して比較信号を出力し、この比較信号により発振回路30sの発振周波数が制御されている。

【0046】上述のように通常動作時にパワーセーブ制御信号が例えばHレベルであると、スイッチSW30が高抵抗の抵抗R1を選択するため、コンパレータ31の正入力端に印加される電圧は、所定の低電圧となる。そして、この正入力電圧と基準電圧Vrefとが比較され、コンパレータ31からの比較出力によって発振回路30sはコンパレータ31の正入力端の電圧が低下しないようにその発振周波数が制御され、これに応じてトランジスタTr30がオンオフされ、電源回路300から駆動回路のアナログ系回路への出力電源電圧は、高い所定の

電圧VDD2（例えば5V）に維持される。

【0047】一方、図示しないCPUからパワーセーブが命令されると、これに応じてパワーセーブ制御信号は例えばLレベルとなり、スイッチSW30は、R1より低抵抗の抵抗R2を選択する。このためコンパレータ31の正入力端電圧は、通常動作時と比較して高く、これが通常動作時と同じ基準電圧Vrefと比較されるため、発振回路30sは、コンパレータ31の正入力端電圧が低く（R1が選択されたときと同じ電圧に）なるように、つまり出力電源電圧VDD2が低くなるようにその発振周波数が変化（低下）する。このため、発振回路30sからの低い周波数のパルス信号によってトランジスタTr30がオンオフ制御され、電源回路300からの出力電圧VDD2は、通常動作時と比較して低い電圧（例えば3V）となり、これが維持される。

【0048】このように、スイッチSW30によって抵抗R1とR2を切り替えることで、スイッチングレギュレータ型の電源回路300の出力電圧をパワーセーブ時に0Vではなく、通常動作時より低い所定の電圧とすることが可能となっている。

【0049】（チャージポンプ型電源回路）次に、パワーセーブモードに対応した本実施形態1のチャージポンプ型電源回路について図3を用いて説明する。図3に示す電源回路300は、通常動作時に発生する電源電圧VDD2が入力電圧Vinの例えば2倍で、パワーセーブ時には通常動作時より低く、入力電圧Vinと同等の電源電圧VDD2を発生する。発振回路30c、キャパシタ用スイッチSW1～SW4、ANDゲート32、NANDゲート33、キャパシタC1及びC2は、図11（b）に示す従来の電源回路350と共通するが、本実施形態の電源回路300では、通常動作時とパワーセーブ時とで出力電圧を切り替えるための構成として、昇圧電源電圧出力スイッチとしてトランジスタTr31及びインバータ34、非昇圧電源電圧出力スイッチとしてトランジスタTr32を備える。

【0050】通常動作時には、I/F回路16から出力されるHレベルのパワーセーブ制御信号が、インバータ34を介して昇圧部（チャージポンプ）303の出力端に設けられたトランジスタTr31をオン制御し、入出力間をバイパスするために設けられたトランジスタTr32をオフ制御する。従って、通常動作時には、スイッチSW1及びSW2と、スイッチSW3及びSW4とを交互に切り替えることで入力電圧Vinを昇圧して得た出力電圧VDD2（例えば5V）をトランジスタTr31を介して出力することができる。一方、パワーセーブ時にパワーセーブ制御信号がLレベルとなると、トランジスタTr31はオフ制御され、反対にトランジスタTr32がオン制御される。従って、パワーセーブ時には、電源回路300の入力端と出力端とがトランジスタTr32にバイパスされ、昇圧部303の出力はトランジス

タTr31によって遮断される。従って、図3の電源回路300からはパワーセーブ時に、非昇圧電圧電源、つまり入力電圧Vinがそのまま電源電圧VDD2として出力される。

【0051】（駆動回路100）次に、上記図2又は図3に示すような電源回路300から電源電圧VDD2を受けて動作する図1のD/A変換回路12とアンプ14について、さらに図4及び図5を参照して説明する。上述のように本実施形態の電源回路300から出力される電源電圧VDD2は、パワーセーブ時は通常動作時より低くなるように制御される。そこで、本実施形態では、D/A変換回路12として、図4に示すように、電源（VDD2）とグランドとの間に複数の分圧抵抗が直列接続された抵抗型D/A変換（RDAC）回路を採用している。

【0052】このD/A変換回路12は、電源電圧VDD2が低下しても変換動作が可能であると共に、分圧抵抗の電源電圧VDD2が通常動作時（5V）とパワーセーブ時（3V）とで変化すると、各分圧抵抗からの分圧出力がこれに応じて変化する。よって、供給されるデジタルデータに応じて通常時と同様にスイッチ120を切り替えることで、図5に示すように電源電圧VDD2の変化に応じて出力するアナログ信号の電圧レベルが変化し、結果、アナログ信号の振幅を変化させることができる。なお、D/A変換回路12は、上記RCA型には限らず、その電源電圧が低下しても変換動作が可能であって、電源電圧と、入力デジタルデータに応じたアナログ信号を得ることができるものであればよい。

【0053】アンプ14は、このような電源電圧の変化に振幅が対応したアナログ信号を電源電圧VDD2を利用して増幅し、LCDパネル200に出力する。

【0054】抵抗分圧電源となる電源VDD2が低くなればD/A変換回路12での消費電力は低下し、またアンプ14の動作電源VDD2も同様に低下するので、ここでの消費電力も低下する。

【0055】このように、パワーセーブ時には通常動作時よりも電源電圧VDD2を低く制御することで、アナログ系の処理を行う回路において、パワーセーブ時にその消費電力を低減することができ、表示装置全体としての消費電力をセーブすることが可能となっている。

【0056】また、以上の説明では、図示しないCPUからのパワーセーブ制御命令に従ってI/F16から出力されるパワーセーブ制御信号に基づき、電源回路300の電源電圧を制御する場合を例に挙げているが、図1に示すように装置使用者等が任意に切り替え可能なスイッチ400を設け、このスイッチ400を切り替えることで、上記パワーセーブ制御信号を発生しても良く、この制御信号を図1中点線で示すように電源回路300に供給する構成を採用しても良い。また、CPUからのパワーセーブ制御命令を受けて動作すると共に、このスイ

ッチ400を用いて使用者等が任意にパワーセーブを行う構成とすることもできる。

【0057】〔実施形態2〕次に、実施形態2に係るパワーセーブモード対応の電源回路及びこれを用いた装置について、図1及び図6～図9を参照して説明する。上記実施形態1の表示装置では、パワーセーブ時に電源をオフ制御せず、アナログ系の回路の電源電圧VDD2を通常動作時よりも低く制御していたが、本実施形態2では、パワーセーブのモードに応じて、(モード1)実施形態1のようにアナログ系回路の電源電圧VDD2を通常動作時より低く制御できると共に、(モード2)その電源をオフ制御することも可能となっている。

【0058】表示装置の全体構成は、図1に示す通りであるが、本実施形態2において電源回路300には、I/F回路16(又はスイッチ400)からのパワーセーブ制御信号1と、図1において2点鎖線で示すT/C回路18の電源用クロックとが供給されている。図6は、実施形態2に係る電源回路300の構成を示し、図7は、上記駆動回路100のI/F回路16、及びT/C18の電源用クロック発生部を示し、図8は、パワーセーブモード1の場合における本実施形態2の装置動作、図9はパワーセーブモード2の場合における装置動作を示している。

【0059】電源回路300のうち、図6に示すように本実施形態2においてアナログ系回路の動作電源である電源電圧VDD2を発生する回路は、チャージポンプ型電源回路であり、後述のようにT/C回路18から電源用クロックを受けて動作可能で発振回路30cが不要であり、他の構成については上記図3の電源回路300と共通する。

【0060】図7に示すように、I/F回路16は、ANDゲート169、フリップフロップ(F/F)161～168、インバータ170～173、175～177及びNANDゲート174及び178を備える。そして、CPUから送出されるロード信号(図8(a):S-LOAD)がHレベルになると、CPUから供給されるクロック(図8(b):S-CLOCK)の立ち上がりに従って、制御データ(図8(c)又は図9(c):S-DATA)を取り込んで対応する制御信号を発生する。なお、この制御データは4ビットで構成されており、以下では、図8(c)の”0001”が電源電圧VDD2を通常動作時より低下させるパワーセーブモード1、図9(c)の”0010”が電源回路をオフ制御するパワーセーブモード2を表している場合を例に挙げて説明する。

【0061】図7において、I/F回路16のF/F161～164は、クロック(S-CLOCK)とロード信号(S-LOAD)とのAND出力OUT₁₆₉(図8(d))を各クロック端子CKに受け、この出力OUT₁₆₉の立ち上がり時にD端子に供給されるシリアル制御データ(S-DATA)を順次取り込み、これをQ端子から出力する。F/F

165～168は、インバータ170から出力されるロード信号(S-LOAD)の反転信号をクロック端子CKに受け、対応するD端子に供給されるF/F161～164からのQ出力を順次取り込み、これをQ端子から出力する。

【0062】(パワーセーブモード1:制御データ”0001”の時)まず、命令がパワーセーブモード1の場合における動作について説明する。F/F161～164は、それぞれ図8(d)の出力OUT₁₆₉の立ち上がりで、順次図8(c)の制御データ”0001”を取り込むので、F/F162～164のQ出力(Q₁₆₂～Q₁₆₄)は、図8(f)に示すように全期間Lレベルを維持し、F/F161のQ出力(Q₁₆₁)だけが、クロック(S-CLOCK)の4回目の立ち上がりでLレベルからHレベルに変化する。

【0063】F/F165は、図8(a)のロード信号(S-LOAD)の立ち下がり時に、F/F161のQ出力(Q₁₆₁)を取り込むため、図8(g)に示すようにF/F165のQ出力(Q₁₆₅)は、ロード信号(S-LOAD)の立ち下がりでLレベルからHレベルに変化する。また、F/F166～168のD端子には、上述のように全期間LレベルのF/F162～164のQ出力が供給されているため、図8(h)に示すようにロード信号(S-LOAD)が立ち下がっても、各Q出力(Q₁₆₆～Q₁₆₈)はLレベルを維持する。

【0064】NANDゲート174には、F/F165からのQ出力(Q₁₆₅)と、F/F166～168のQ出力(Q₁₆₆～Q₁₆₈)をインバータ171～173で反転して得た反転出力が供給されている。よって、NANDゲート174からは、図8(i)に示すように、Q出力(Q₁₆₅)のレベルと反転Q出力(Q₁₆₆～Q₁₆₈)のレベルが共にHレベルになるとLレベルが出力される。つまり、NANDゲート174からは、ロード信号(S-LOAD)のHレベル期間中に供給された制御データ(S-DATA)が”0001”(=パワーセーブ1)であった場合にのみ、ロード信号の立ち下がりからLレベルとなるパワーセーブ制御信号1(A)が出力される。

【0065】また、NANDゲート178には、F/F165、167及び168の各Q出力(Q₁₆₅、Q₁₆₇、Q₁₆₈)をインバータ171～173で反転して得た反転出力と、F/F166からの非反転Q出力(Q₁₆₆)とが供給されている。よって、NANDゲート178からの出力OUT₁₇₈は、全入力がHレベルにそろった期間がなく図8(j)に示すように、全期間Hレベルを維持するパワーセーブ制御信号2(B)となる。

【0066】NANDゲート174から出力されるパワーセーブ制御信号1は、実施形態1と同様、図6の電源回路300のANDゲート32、NANDゲート33、トランジスタTr32及びインバータ34を介してトランジスタTr31に供給されている。

【0067】一方、NANDゲート178から出力されるパワーセーブ制御信号2は、図7に示すようにT/C18内に設けられた電源用クロック発生回路180に供給される。この電源用クロック発生回路180は、パワーセーブ制御信号2と、各ICなどで共用され又は個々のICが作成するシステムクロックと、に基づいて電源用クロックを発生する回路であり、本実施形態2では、ANDゲートから構成され、このANDゲートの一方の入力に上記パワーセーブ制御信号2が供給され、他方の入力に図8(k)に示すようなシステムクロックが供給される。上述のように制御データ(S-DATA)が"0001"である場合には、パワーセーブ制御信号2は全期間Hレベルであるため、電源用クロック発生回路180は、システムクロック(図8(k))をそのまま電源用クロックとしてこれを電源回路300に出力する。

【0068】パワーセーブモード1に移行する場合、電源回路300は以下のように動作する。まず、通常動作時には、I/F回路16のNANDゲート174から出力されるパワーセーブ制御信号1はHレベルで、これがインバータ34を介してチャージポンプの出力端に設けられたトランジスタTr31をオン制御し、入出力間に設けられたトランジスタTr32をオフ制御する。

【0069】更に、パワーセーブ制御信号2も、通常動作時においてHレベルを維持するため、電源用クロック発生回路180からは、システムクロックに応じて電源用クロックが出力される。この電源用クロックは、電源回路300のANDゲート32及びNANDゲート33の一方の入力に供給され、また、通常動作時に、電源回路300のANDゲート32及びNANDゲート33の他方の入力に供給されるパワーセーブ制御信号1は、Hレベルである。従って、通常動作時には、ANDゲート32及びNANDゲート33から電源用クロックが非反転、反転でスイッチSW1～SW4に供給され、スイッチSW1及びSW2と、スイッチSW3及びSW4とが交互に切り替え制御され、入力電圧Vinを昇圧して得た出力電圧VDD2(例えば5V)がトランジスタTr31を介して出力される。

【0070】図8(a)のロード信号(S-LOAD)がLレベルに立ち下がると、パワーセーブモード1に移行し、パワーセーブ制御信号1がLレベルに下がり、実施形態1と同様に、トランジスタTr31はオフ制御され、反対にトランジスタTr32がオン制御される。電源回路300の入力端と出力端とがトランジスタTr32によってバイパスされ、昇圧部303の出力はトランジスタTr31によって遮断される。

【0071】このようにしてパワーセーブモード1の時は、電源回路300より入力電圧Vinが昇圧されずにそのまま電源電圧VDD2として出力される。なお、パワーセーブ1のとき、電源用クロックの供給は続いているが、パワーセーブ制御信号1がLレベルであるため、A

NDゲート32及びNANDゲート33の出力は固定されている。

【0072】(パワーセーブモード2:制御データ"0010"の時)次に、命令がパワーセーブモード2の場合について説明する。この場合、F/F161～164は、図8(d)の出力OUT₁₆₉の立ち上がりで、順次図9(c)の制御データ"0010"を取り込むため、F/F161、163及び164のQ出力(Q₁₆₁、163、164)は、全期間Lレベルを維持し、F/F162のQ出力(Q₁₆₂)だけが、クロック(S-CLOCK)の3回目の立ち上がりでLレベルからHレベルに変化する。

【0073】また、F/F165～168は、図9(a)のロード信号(S-LOAD)の立ち下がり時に、F/F161～164からのQ出力(Q₁₆₁～164)を取り込むため、F/F166のQ出力(Q₁₆₆)だけが、ロード信号(S-LOAD)の立ち下がりでLレベルからHレベルに変化し、F/F165、167及び168の各Q出力(Q₁₆₅、167、168)はLレベルを維持する。

【0074】従って、NANDゲート174から出力されるパワーセーブ制御信号1(A)は、全期間においてその入力レベルが一致しないので、図9(d)に示すようにHレベルを維持する。一方、NANDゲート178では、ロード信号(S-LOAD)の立ち下がって、F/F166の出力がHレベルになった時点から、該NANDゲート178への入力レベルが全てHレベルとなり、図9(e)に示すようにパワーセーブ制御信号2はLレベルに変化する。パワーセーブ制御信号2がLレベルになると、図7の電源用クロック発生回路180からのシステムクロック(図9(f))の出力が禁止されて、図9(g)に示すように出力がLレベルに固定される。従って電源用クロックの電源回路300への供給が停止する。

【0075】電源回路300は、図9(a)のロード信号(S-LOAD)が立ち下がるまでの通常動作期間中は、上記と同様に入力電圧Vinを昇圧して出力電圧VDD2を発生する。そして、ロード信号(S-LOAD)が立ち下がった時点から、パワーセーブモード2に移行する。これにより、電源用クロック発生回路180からの電源用クロックがLレベルに固定されるので、スイッチSW1及びSW2が開き、SW3及びSW4が閉じたままとなる。また、このときパワーセーブ制御信号1は、Hレベルを維持しているので、トランジスタTr32はオフ制御され、トランジスタTr31がオン制御されており、電源回路300から電圧VDD2の出力が停止する。

【0076】従って、パワーセーブモード2の時には、少なくとも電源回路300のVDD2がオフ制御され、駆動回路100のアナログ系の回路は動作しない。また、図示しないが、VDD1及びVDD3についてもパワーセーブモード2の場合にはオフ制御することで、駆動回路等での電力消費を完全になくすることができ、表示

装置としての電力消費を確実に低減することができる。
また、パワーセーブモード2では、装置が表示を要求しないので、電源用クロックの発生を停止して、電源回路300をオフ制御しても、表示には全く影響を与えることがない。

【0077】また、電源回路300の構成は、上記図6に限らず、実施形態1において説明した図3に示すような電源回路300でも対応できる。ここで、図3の電源回路300のパワーセーブモード1への対応は、実施形態1と同じで、図7のNANDゲート174から出力されるパワーセーブ制御信号1(A)に応じてトランジスタTr31、32を切り替え制御する。パワーセーブモード2への対応は、発振回路30cに図7のNANDゲート178から出力されるパワーセーブ制御信号2

(B)を供給し、この制御信号2に応じて発振回路30cの発振動作を停止させ、かつ同時にパワーセーブ制御信号1でトランジスタTr31及び32を切り替えて、Tr31をオン制御させればよい。

【0078】以上のように本実施形態2によれば、パワーセーブに際して、電源電圧を通常動作時より低くして消費電力を抑制しつつ表示も可能とすることも、電源をオフ制御することでこの電源を動作電源とする回路等での消費電力をなくすこともできる。従って、使い勝手が高かつ要求された場合には最大限消費電力を抑えることの可能な高性能の機器にとって非常に有効である。

【0079】また、電源用クロックを発生する回路180は、パワーセーブ制御信号2とシステムクロックとの論理積をとるANDゲートだけで構成することが可能であり、このANDゲートは容易かつ小面積にて駆動回路用IC(100)に内蔵できる。さらに、電源用クロックを用いれば、電源回路300に発振回路を必要としないので、電源回路300は、そのキャパシタC1及びC2以外の構成全てを例えば上記駆動回路100と同一IC内に作り込むことが可能となる。よって、電源回路と駆動回路を含む表示装置の駆動部をより小さい面積で実現することができる。

【0080】なお、電源用クロック発生回路180は、通常動作期間中、上述のようにシステムクロックをそのまま電源用クロックとして出力してもよいが、そのまま出力するのではなくシステムクロックと同じ周波数で、電源回路300でのキャパシタC1、C2の比などに応じて、その振幅やパルス幅の異なるクロックを出力してもよい。また、通常動作期間中、システムクロックに基づき、キャパシタC1、C2の容量値などを考慮して、電源回路300にとって最適な周波数のクロックを発生する構成でもよい。

【0081】以上に説明した本発明の実施形態1及び2において、表示装置は、液晶表示装置に限らず有機EL表示装置や、その他の平面表示装置であっても同様な効果を奏する。また液晶表示装置などに代表される表示装

置において、表示を行う際、駆動回路では何らかのシステムクロックを利用しており、実施形態2のようにこのシステムクロックを利用すれば、電源回路に発振回路が不要となり、簡単な構成で電源用クロックを作成することができる。

【0082】さらに、実施形態1及び2において説明した本発明の電源回路は、表示装置のための電源に限られず、パワーセーブモードに対応した他の機器の電源回路としても用いることができる。

【0083】また、実施形態1及び2において、パワーセーブモードから通常動作状態への復帰は、例えば、CPUからのロード信号(S-LOAD)が次にHレベルとなった際に、CPUから送出された制御データが所定の通常動作命令を表していた場合に、I/F回路16がこれを解析して、パワーセーブ制御信号AをHレベルに戻すことで実現できる(実施形態2では、パワーセーブ制御信号1及び制御信号2の両方)。

【0084】

【発明の効果】以上説明したように、本発明の表示装置用の駆動装置はパワーセーブが命じられたときに、駆動回路内のデジタルアナログ変換回路及びアナログ信号処理回路における電源電圧を低下させるので、アナログ信号を処理するこれらの回路において消費電力を低減することができる。さらに、本発明においてこれらアナログ信号を処理する回路は、電源電圧が低下しても動作することが可能であり、パワーセーブ時であっても表示部に表示を行わせるための信号を発生することができ、表示を行うことが可能である。

【0085】このような駆動回路に電源電圧を供給する電源回路は、パワーセーブ命令が出されたときに、非昇圧電源電圧を選択的に出力可能であればよく、電源電圧検出用の抵抗及びそのセレクタスイッチ、又は昇圧電源出力スイッチ及び非昇圧電源出力スイッチ等、非常に簡易で制御が容易な構成によって実現できる。

【0086】さらに本発明に係る表示装置用駆動装置は、パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、これに応じてデジタルアナログ変換回路及びアナログ信号処理回路への電源の制御できる。従って、簡単な構成で多くの動作モードに対応すると共に、消費電力を低減することが可能である。特に、必要な時は消費電力の低減を図りつつ表示を行うことができ、また消費電力の低減が優先されるときは電源を簡単な構成でオフ制御することができる。

【図面の簡単な説明】

【図1】 本発明に係る表示装置の構成を示す図である。

【図2】 本発明の実施形態1に係る表示装置のスイッチングレギュレータ型電源回路の構成を示す図である。

【図3】 本発明の実施形態1に係る表示装置のチャ-

ジポンプ型電源回路の構成を示す図である。

【図4】 本発明の実施形態1に係る表示装置のD/A変換回路の構成を示す図である。

【図5】 図4の構成によって作成可能な信号波形を示す図である。

【図6】 本発明の実施形態2に係る表示装置の電源回路の構成を示す図である。

【図7】 本発明の実施形態2に係る表示装置のCPUインターフェース回路及びタイミングコントローラ内の電源用クロック作成回路の構成を示す図である。

【図8】 図7に示す構成のパワーセーブモード1の場合の動作を示すタイミングチャートである。

【図9】 図7に示す構成のパワーセーブモード2の場合の動作を示すタイミングチャートである。

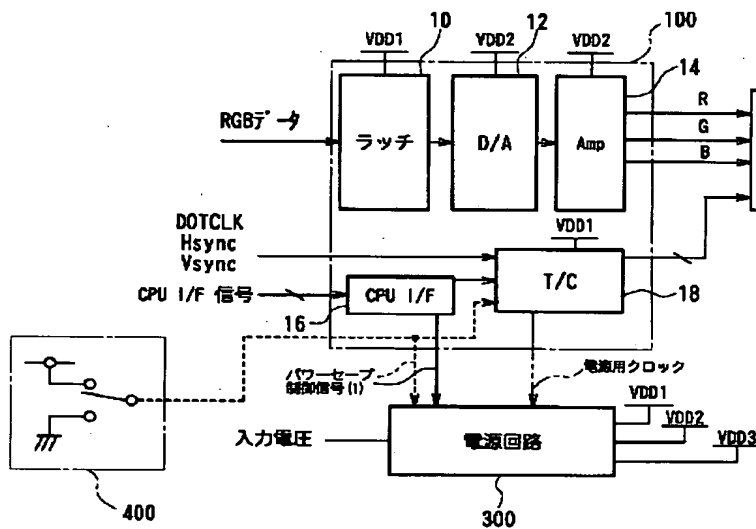
【図10】 従来の携帯機器用液晶表示装置の構成を示す図である。

【図11】 図10の電源回路350の構成を示す図である。

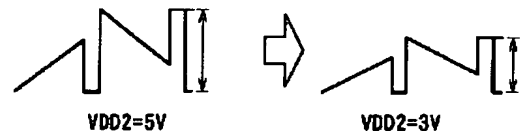
【符号の説明】

10 ラッチ回路、12 デジタルアナログ(D/A)変換回路、14 アンプ、16 CPUインターフェース回路(CPU I/F)、18 タイミングコントローラ(T/C)、30c、30s 発振回路、31 コンパレータ、32 ANDゲート、33 NANDゲート、34、170、171、172、173、175、176、177 インバータ、100 駆動回路、161、162、163、164、165、166、167、168 フリップフロップ(F/F)、169 ANDゲート、174、178 NANDゲート、180 電源用クロック発生回路(ANDゲート)、200 表示パネル(LCDパネル)、300 電源回路、301、303 昇圧部、302 フィードバック部。

【図1】

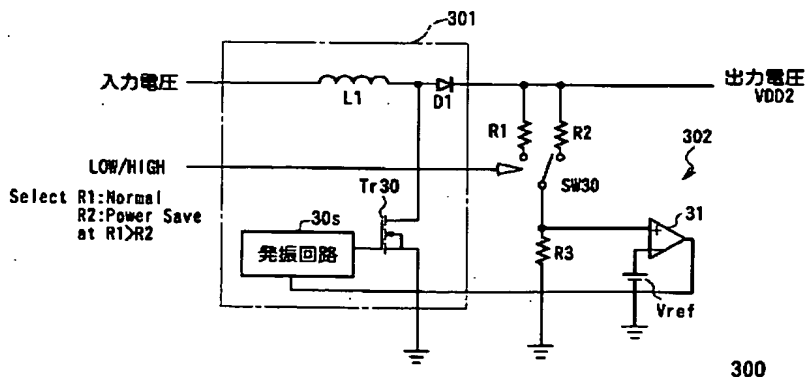


【図5】

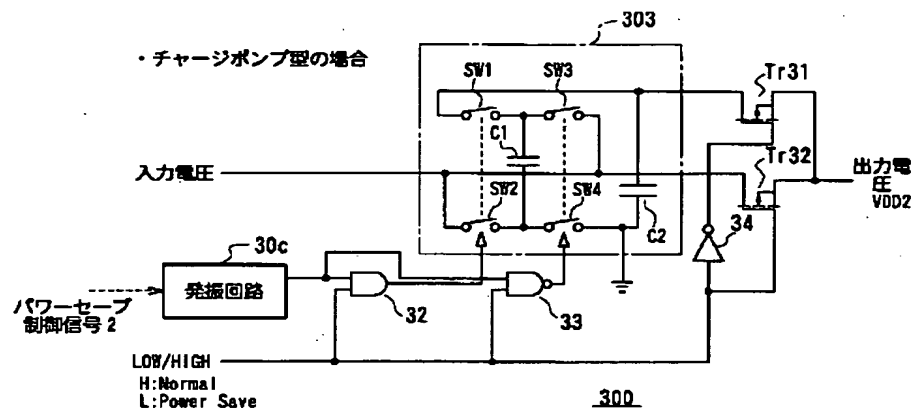


【図2】

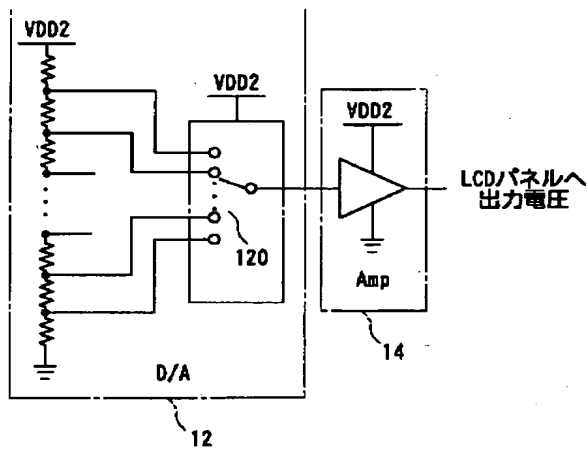
・スイッチングレギュレータの場合



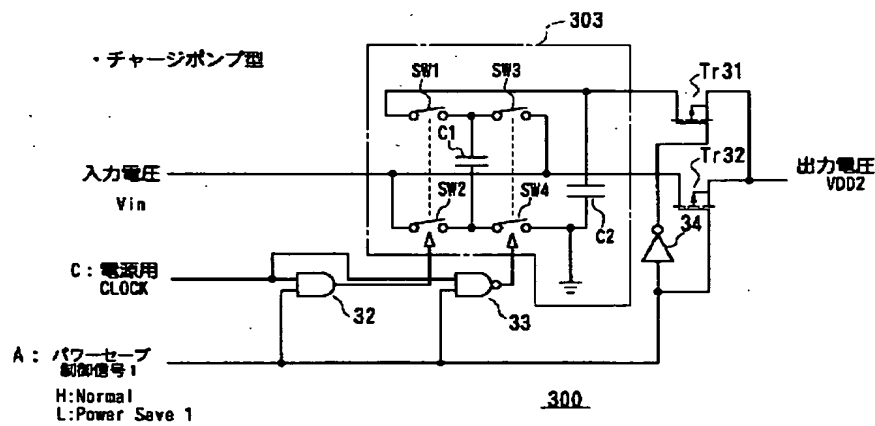
【図3】



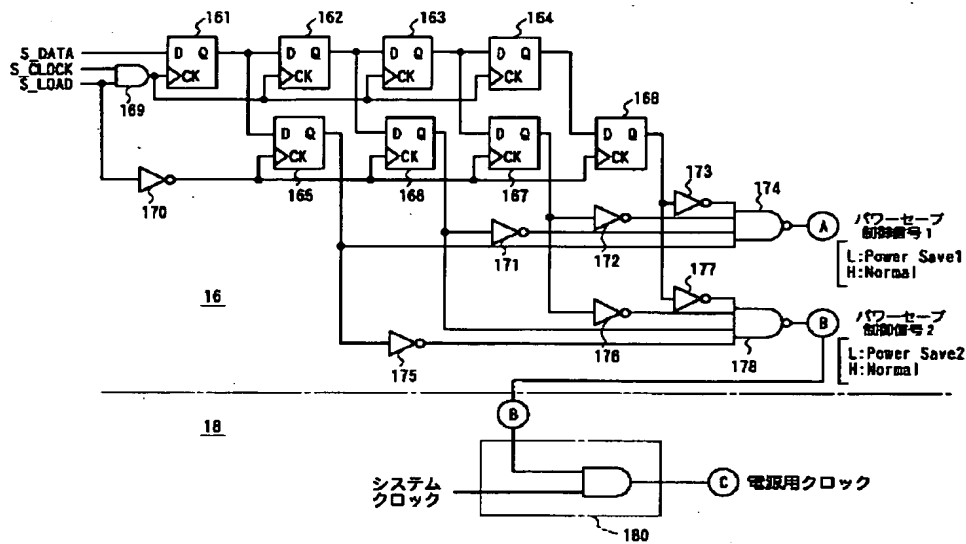
【図4】



【図6】

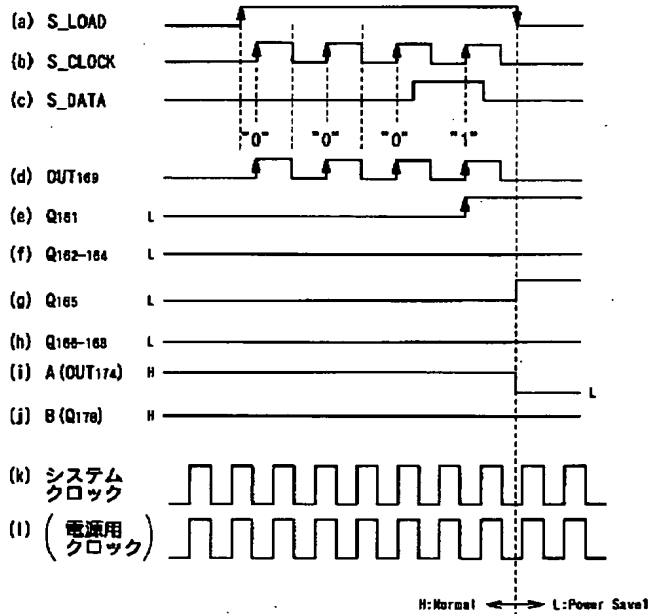


【図7】



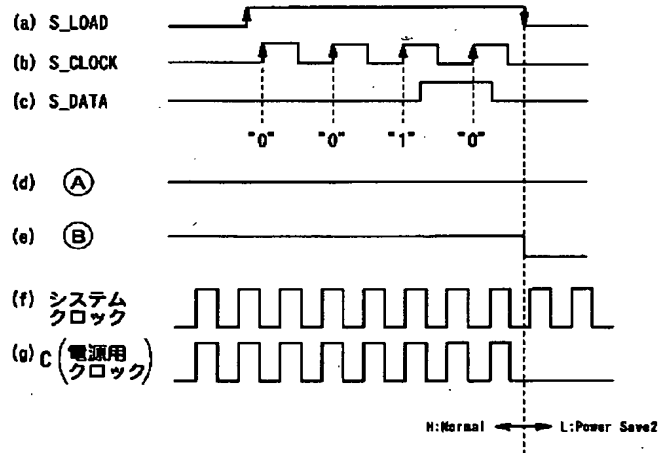
【図8】

・DATA="0001" (4 b i t) でパワーセーブモード 1 になる場合

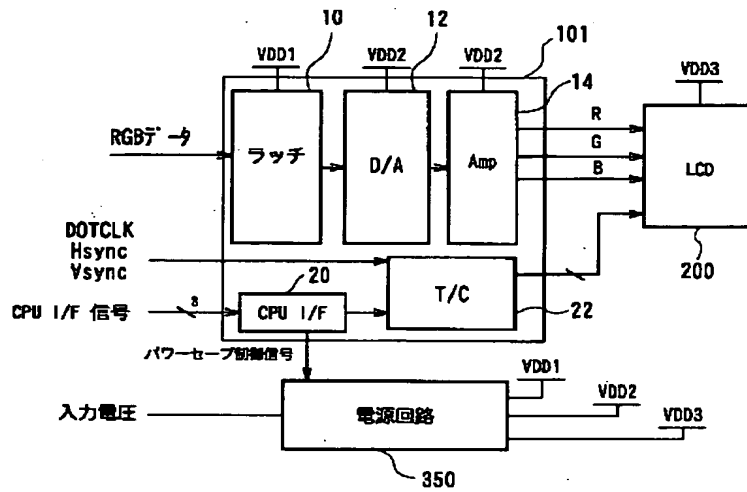


【図9】

・DATA="0010" (4 b i t) でパワーセーブモード 2 になる場合



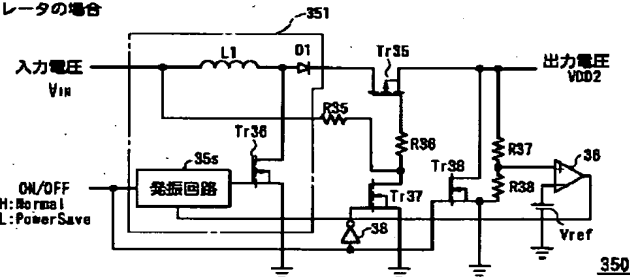
【図10】



【図11】

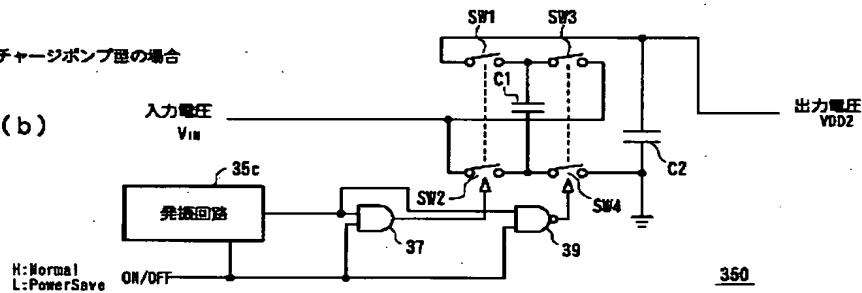
・スイッチングレギュレータの場合

(a)



・チャージポンプ型の場合

(b)



フロントページの続き

(51)Int. Cl. 7

識別記号

F I

テーマコード(参考)

H 0 2 M 3/07
3/155
H 0 4 B 7/26

H 0 2 M 3/07
3/155
H 0 4 B 7/26

F
X

(72)発明者 小林 貢

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 上原 久夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 2H093 NC02 NC03 ND39 ND49
5C006 AF53 AF61 AF69 AF81 AF82
BB11 BF04 BF14 BF16 BF25
BF26 BF27 BF31 BF43 FA47
5C080 AA06 AA10 BB05 DD26 FF03
JJ02 JJ03 JJ04
5H730 AA14 BB02 BB14 BB57 DD04
FD01 FG07 FG25
5K067 AA43 BB04 FF31 KK05

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成14年3月12日(2002.3.12)

【公開番号】特開2001-282164(P2001-282164A)

【公開日】平成13年10月12日(2001.10.12)

【年通号数】公開特許公報13-2822

【出願番号】特願2000-99890(P2000-99890)

【国際特許分類第7版】

G09G 3/20 611
612
680

G02F 1/133 520

G09G 3/36

H02M 3/07

3/155

H04B 7/26

【F1】

G09G 3/20 611 A
612 D
680 S

G02F 1/133 520

G09G 3/36

H02M 3/07

3/155 F

H04B 7/26 X

【手続補正書】

【提出日】平成13年10月12日(2001.10.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】電源回路がこのように、昇圧電源電圧と非昇圧電源電圧を選択して出力することが可能であれば、パワーセーブ命令が出されたとき、デジタルアナログ変換回路及びアナログ信号処理回路に対し、通常動作時よりは低いけれども動作可能な電源電圧を簡易な構成によって供給できる。そして、デジタルアナログ変換回路及びアナログ信号処理回路がパワーセーブ時にも非昇圧電源電圧によって動作することができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】また、フィードバック部302は、電源出力端に接続された抵抗R1及びR2、これらの抵抗と接

続されて抵抗分圧を発生するための抵抗R3、これらの抵抗によって検出される出力電源電圧の分圧値と基準電圧Vrefとを比較するコンパレータ31を備える。そして、抵抗分圧によって検出した出力電源電圧を維持するよう、上記昇圧部301での昇圧動作、具体的には発振回路30sの発振周波数を制御している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】また、NANDゲート178には、F/F165、167及び168の各Q出力(Q₁₆₅、Q₁₆₇、Q₁₆₈)をインバータ175~177で反転して得た反転出力と、F/F166からの非反転Q出力(Q₁₆₆)とが供給されている。よって、NANDゲート178からの出力OUT₁₇₈は、全入力が高レベルにそろった期間がなく図8(j)に示すように、全期間高レベルを維持するパワーセーブ制御信号2(B)となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正内容】

【0072】（パワーセーブモード2：制御データ"0010"の時）次に、命令がパワーセーブモード2の場合について説明する。この場合、F/F161~164は、図8（d）の出力OUT₁₆₉の立ち上がりで、順次図9（c）の制御データ"0010"を取り込むため、F/F161、163及び164のQ出力（Q₁₆₁、Q₁₆₃、Q₁₆₄）は、全期間Lレベルを維持し、F/F162のQ出力（Q₁₆₂）だけが、クロック（S-CLOCK）の3回目の立ち上がりでLレベルからHレベルに変化する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】また、F/F165~168は、図9（a）のロード信号（S-LOAD）の立ち下がり時に、F/F161~164からのQ出力（Q₁₆₁~164）を取り込むため、F/F166のQ出力（Q₁₆₆）だけが、ロード信号（S-LOAD）の立ち下がり時でLレベルからHレベルに変化し、F/F165、167及び168の各Q出力（Q₁₆₅、Q₁₆₇、Q₁₆₈）はLレベルを維持する。

【手続補正6】

【補正対象書類名】図面

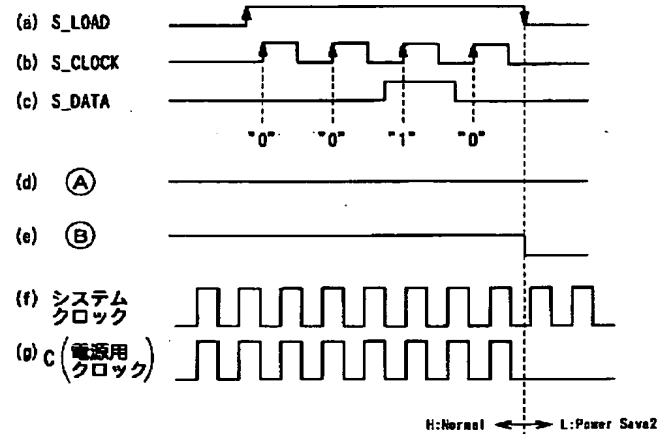
【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】

・DATA="0010"（4bit）でパワーセーブモード2になる場合



【手続補正7】

【補正対象書類名】図面

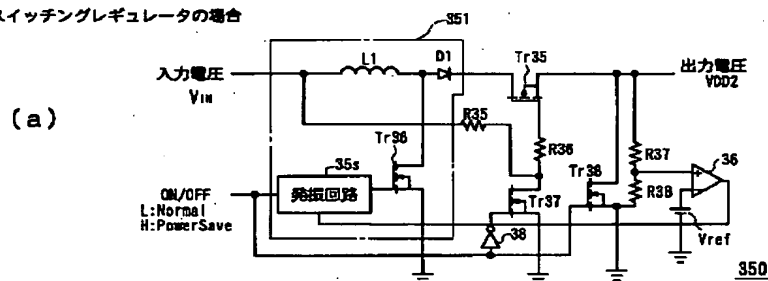
【補正対象項目名】図11

【補正方法】変更

【補正内容】

【図11】

・スイッチングレギュレータの場合



・チャージポンプ型の場合

